

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-135192
 (43) Date of publication of application : 22.05.1998

(51) Int.CI. H01L 21/3065
 H01L 21/203
 H01L 21/31

(21) Application number : 09-206672
 (22) Date of filing : 31.07.1997

(71) Applicant : SURFACE TECHNOL SYST LTD
 (72) Inventor : BHARDWAJ JYOTI KIRON
 ASHRAF HUMA
 KHAMSEHPOUR BABAK
 HOPKINS JANET
 HYNES ALAN MICHAEL
 RYAN MARTIN EDWARD

(30) Priority

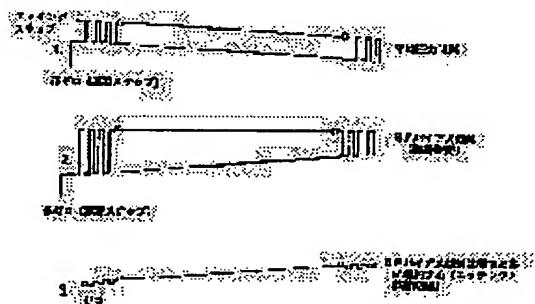
Priority number : 96 9616224 Priority date : 01.08.1996 Priority country : GB
 96 9616223 01.08.1996
 GB

(54) SURFACE TREATMENT METHOD OF SEMICONDUCTOR SUBSTRATE

(57) Abstract:

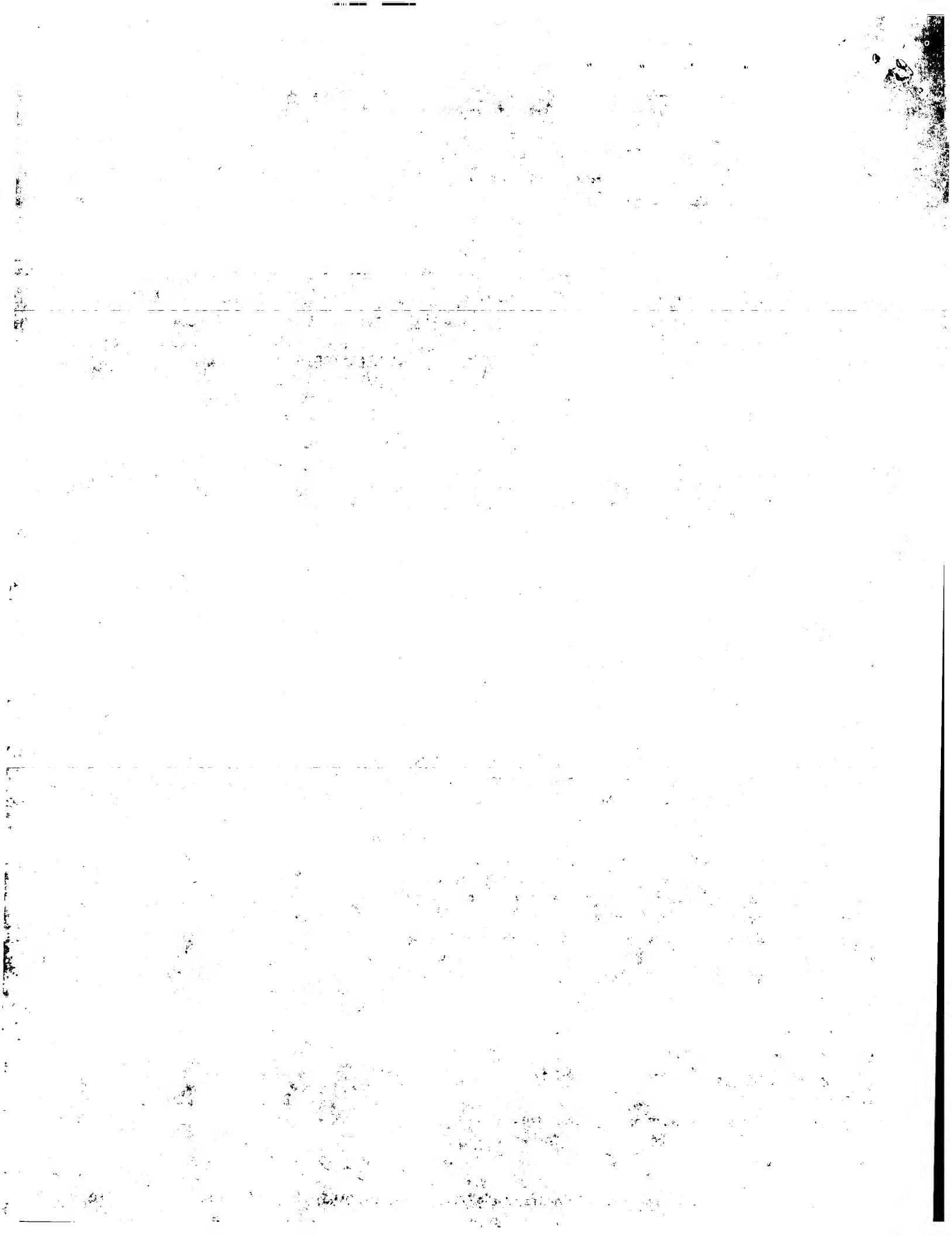
PROBLEM TO BE SOLVED: To form a narrow and long groove having smooth side walls at a high aspect ratio by alternately performing reactive ion etching and the formation of a passive layer by chemical vapor deposition by changing one or more of variously kinds of parameters in a reaction chamber with respect to time.

SOLUTION: A smooth side wall profile can be obtained, and at the same time, notches can be removed without causing abrupt transitions by alternately controlling reactive ion etching and the vapor deposition of a passive layer by using 'gradient' parameter methods 1, 2 and 3, in which one or more of such parameters as the gas flow velocity, internal pressure, plasma output, bias output, cycle time, board etching/evaporation ratio, etching rate, and vapor-depositing speed in a reaction chamber are gradually increased or decreased in inclined states for every amplitude or period cycle, without abruptly changing the parameters between the cycles.



LEGAL STATUS

[Date of request for examination]	29.03.2001
[Date of sending the examiner's decision of rejection]	25.08.2003
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	



[Date of final disposal for application]

[Patent number]

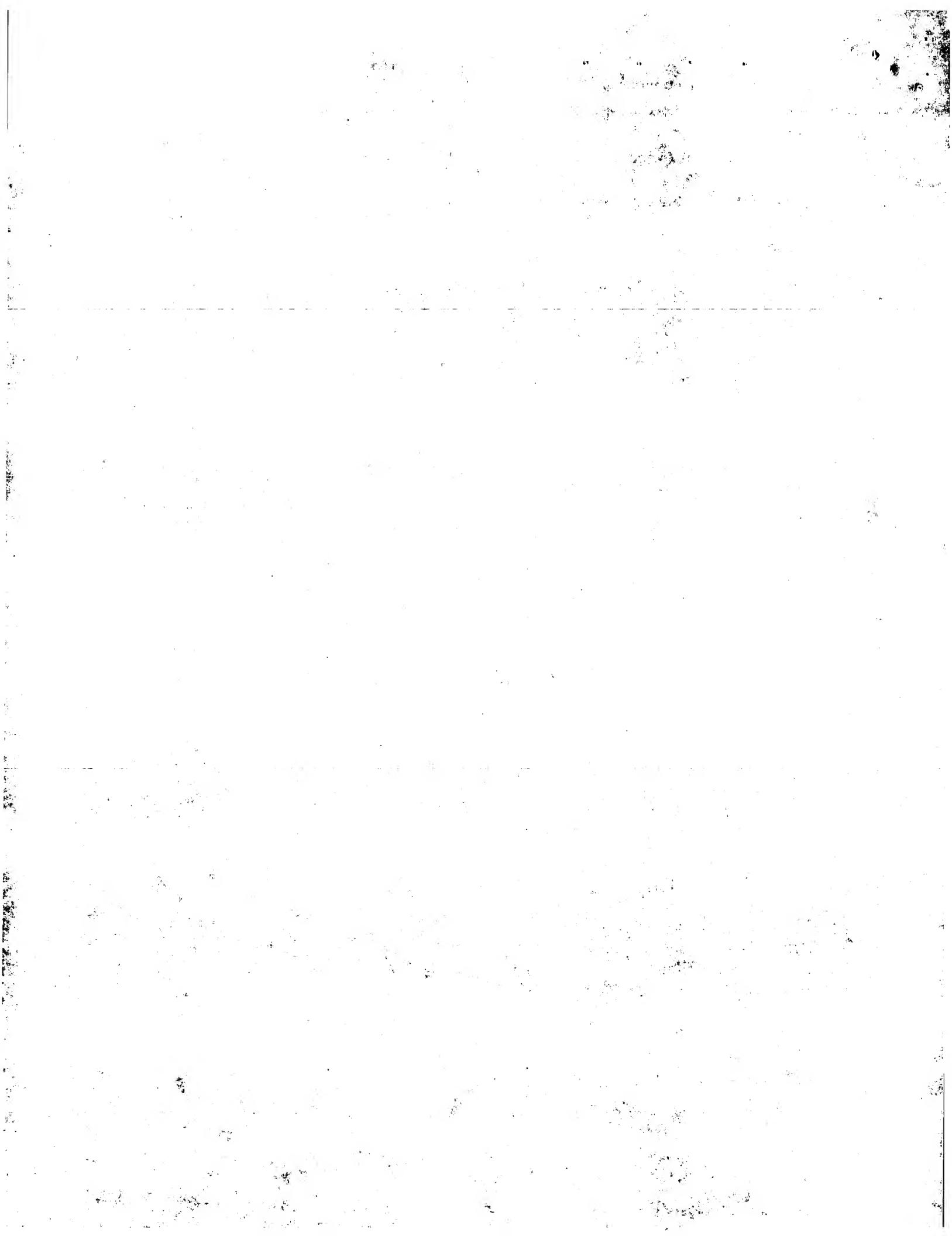
[Date of registration]

[Number of appeal against examiner's decision of
rejection] 2003-22486

[Date of requesting appeal against examiner's
decision of rejection] 20.11.2003

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-135192

(43)公開日 平成10年(1998)5月22日

(51)Int.Cl.
H 01 L 21/3065
21/203
21/31

識別記号

F I
H 01 L 21/302
21/203
21/31

J
Z
C

審査請求 未請求 請求項の数29 OL 外国語出願 (全 65 頁)

(21)出願番号 特願平9-208672
(22)出願日 平成9年(1997)7月31日
(31)優先権主張番号 9616224.3
(32)優先日 1996年8月1日
(33)優先権主張国 イギリス(GB)
(31)優先権主張番号 9616223.5
(32)優先日 1996年8月1日
(33)優先権主張国 イギリス(GB)

(71)出願人 597115336
サーフィス テクノロジー システムズ
リミテッド
Surface Technology
Systems Limited
イギリス国 ウェールズ エヌビー1 9
ユージェイ グウェント ニューポート
インペリアル パーク(番地なし)
(72)発明者 ジョティ キロン バードウジ
イギリス国 ピーエス12 0ピーエイチ
プリストル カンビオン ドライブ 60
(74)代理人 弁理士 新部 興治(外4名)

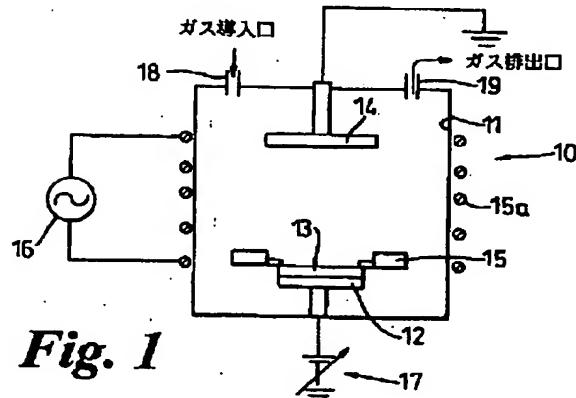
最終頁に続く

(54)【発明の名称】 半導体基盤の表面処理方法

(57)【要約】

【課題】 動作状態のプロセスに依存して、形成物に対する粗い側壁及び/或いはベースが生成されるのと同様にむしろ曲がっているか、或いは、内曲した壁形状が生成される。

【解決手段】 本発明は、半導体基盤の表面処理方法についてであり、そして、特に、反応室の半導体基盤に細長溝のエッティングを行うところにおいて、次のパラメータ：ガス流速、反応室内圧力、プラズマ出力、基盤バイアス、エッティング速度、蒸着速度、サイクル時間、エッティング/蒸着比率、の中の一つまたはそれ以上のパラメータを時間と共に変化させ、反応イオンエッティング及び化学的蒸着による不働態層の蒸着を交互に実施することにより当該細長溝のエッティングを行う方法に関するものである。



【特許請求の範囲】

【請求項1】 反応室内の半導体基盤に特徴部のエッチングを実施するにおいて、次のパラメータ：ガス流速、反応室内圧力、プラズマ出力、基盤バイアス、エッティング速度、蒸着速度、サイクル時間、エッティング/蒸着比率、の中で1つ或いはそれ以上のパラメータを時間と共に変化させ、反応イオンエッティングと化学的蒸着による不働態層の蒸着とを交互に実施することにより当該特徴部のエッティングを行う方法。

【請求項2】 変化が周期的である請求項1に記載の方法。

【請求項3】 単一のパラメータ或いは複数のパラメータが、シヌソイド状、矩形状、鋸歯型波形状の内のいずれか一つ或いはこれらの組合せの中で変化する請求項2に記載の方法。

【請求項4】 単一のパラメータ或いは複数のパラメータの変化が傾斜している請求項1或いは請求項2に記載の方法。

【請求項5】 エッティングステップと蒸着ステップが重複する請求項1に記載のエッティングの方法。

【請求項6】 エッティングガスと蒸着ガスが混合する請求項1に記載の方法。

【請求項7】 エッティングと蒸着との間に及び／或いは蒸着とエッティングとの間に反応室の吸い出しを行うことを含んでいる請求項1に記載の方法。

【請求項8】 前回ステップで使用したガス(A)の部分圧力をP_aで表し、次回ステップで使用するガス(B)の部分圧力をP_bで表し、そして、ガス(A)を伴ったプロセスのプロセス速度が本質的定常状態から落ち込むところの割合をxでそれぞれ表す場合、以下の式：

【数1】

$$\frac{P_a}{P_{Pa} + P_{Pb}} < x$$

が成立するまで吸い出しを続行する請求項7に記載の方法。

【請求項9】 パラメータの大きさが、单一サイクル内において或いはサイクルとサイクルとの間において変化しうる請求項1に記載の方法。

【請求項10】 第1サイクル或いは少なくとも最初の数サイクルまでの間は、エッティング速度が減少し及び／或いは蒸着速度が増大する請求項1に記載の方法。

【請求項11】 エッティング速度が、下記：

(a) 掃気ガスの導入；

(b) プラズマ出力の減少；

(c) サイクル時間の減少；

(d) ガス流速の減少；

(e) 反応室内圧力の変化；

の中の一つ或いはそれ以上によって減少する請求項10

に記載の方法。

【請求項12】 蒸着速度が、下記：

(a) プラズマ出力の増加；

(b) サイクル時間の増加；

(c) ガス流速の増加；

(d) 蒸着種類の密度の増加；

(e) 反応室内圧力の変化；

の中の一つ或いはそれ以上によって促進する請求項10或いは請求項11に記載の方法。

【請求項13】 反応室内圧力が特徴部の深さの関数で減少する請求項1に記載の方法。

【請求項14】 基盤バイアスが特徴部の深さの関数で増大する請求項1に記載の方法。

【請求項15】 エッティングを行う以前に開口部を有するマスクを蒸着することを含んでいる請求項1に記載の方法。

【請求項16】 前記マスクが炭素或いは炭化水素により向上され、及び／或いは、当該マスク自身が炭素或いは炭化水素として蒸着される請求項15に記載の方法。

【請求項17】 エッティング及び／或いは蒸着が7.5秒未満或いは5秒未満の周期を有する請求項1に記載の方法。

【請求項18】 エッティングガスがC_xF_y或いはXeF₂である請求項1に記載の方法。

【請求項19】 エッティングガスが一つ或いはそれ以上のより高い原子質量ハロゲン化物を含んでいる請求項1に記載の方法。

【請求項20】 蒸着の間に、反応室内圧力が減少し及び／或いは流速が増加する請求項1に記載の方法。

【請求項21】 プラズマによって平衡まで加熱されるように、基盤を反応室内の支持上に自由な状態で置く請求項1に記載の方法。

【請求項22】 基盤を-100°Cと100°Cとの間の温度で維持する請求項1に記載の方法。

【請求項23】 基盤が、GaAs, GaP, GaN, GaSb, SiGe, Ge, Mo, W 及びTaの内のいずれか一つである請求項1に記載の方法。

【請求項24】 エッティングガスが、H或いは不活性ガスを伴うか或いは伴わないCl₂, BC_l₃, SiCl₄, SiCl₂H₂, CH₃Cl₂, O₂Cl₂及びCH₄の中の一つ或いは組合せである請求項23に記載の方法。

【請求項25】 蒸着ガスが、Hを伴うか或いは伴わないCH₃Cl₂, CH₄, CH₃Cl₂及びO₂Cl₂の中の一つ或いは組合せであるか、或いは、不活性ガスである請求項23或いは請求項24に記載の方法。

【請求項26】 蒸着ガスが、炭素層或いは炭化水素層を蒸着するための炭化水素である請求項1に記載の方法。

【請求項27】 蒸着ガスが、O₂, N₂, F因子を含み、及び／或いは、H₂と混合する請求項26に記載の方法。

法。

【請求項28】蒸着した層に対して窒素及び／或いはフッ素でのドープ処理を行う請求項27に記載の方法。

【請求項29】半導体基盤に特徴部をエッチングするところにおいて、少なくとも第1サイクルの間は、蒸着速度を増加し及び／或いはエッチング速度を減少し、エッチングと不働態層の蒸着とを交互に実施することを含んでいる当該特徴部のエッチングを行う方法。

【発明の詳細な説明】

【0001】

【発明の属する技術】本発明は、半導体基盤の表面処理方法についてであり、他の方法を除外するものではないが、特に、エッチングした特徴部上に側壁不働態層を蒸着する方法、及び、不働態方法を含んでその様な特徴部をエッチングする方法に関するものである。

【0002】

【従来の技術】エッチングと蒸着とを組み合わせる方法により、シリコン内に異方状に細長溝や窪みをエッチングする方法は周知である。その意図としては、不働態層を施すことにより形成された細長溝或いは窪みの側壁を保護する一方で、異方性エッチングを生成することにある。その様な例は、例えば、引例 US-A-4579623, EP-A-0497023, EP-A-0200951, WO-A-94114187、及び、US-A-4985114 に見られる。これらすべての引例は、蒸着ガスとエッチングガスとの混合を使用するか、或いは、エッチングステップと蒸着ステップとを交互に使用するかの何れかについて記載している。ガスを混合するのは非効果的であるというのが一般的な見解である。というのは、二つの処理方法はお互いにキャンセルする傾向にあるからであり、実際、完全に交互のステップを利用する方へと傾いた偏見が持たれている。

【0003】他の手法は、引例 EP-A-0383570, US-A-4943344、及び US-A-4992136 に記載されている。これらすべての引例は、基盤を低温に保つことを追求するものであり、そして最初に、多少一般的ではないが、側壁から不要な蒸着物を取り除くために、エッチングをしている間に高エネルギーイオンのバーストを利用する。

【0004】

【発明が解決しようとする課題】半導体製造業界において継続している傾向としては、増加し続けるアスペクト比の特徴部に対し、特徴部の幅が小さくなればなるほど、側壁形状及び側壁の表面粗さの重要性が増加する。現提案では、動作状態のプロセスに依存して、形成物に対する粗い側壁及び／或いはベースが生成されるのと同様にむしろ曲がっているか、或いは、内曲した側壁形状が生成される傾向にある。これら種々の問題の現れ方は、適用例、及びそれぞれのプロセス条件、シリコン露出エリア（マスクされていない基盤エリア）、エッチング深さ、アスペクト比、側壁プロファイル、及び、基盤トポグラフィーに依存する。

【0005】

【課題を解決するための手段】本発明の方法は、少なくとも幾つかの実施例においては、これら種々の問題を取り組み、それらの問題を減少させている。

【0006】本発明には、反応室内の半導体基盤に細長溝のエッチングを行うところにおいて、次のパラメータ：ガス流速、反応室内圧力、プラズマ出力、基盤バイアス、エッチング速度、蒸着速度、サイクル時間、エッチング／蒸着比率、の中で一つまたはそれ以上のパラメータを時間と共に変化させ、反応イオンエッチング及び化学的蒸着による不働態層の蒸着を交互に実施することにより当該細長溝のエッチングを行う方法としての一侧面がある。変化は周期的である。

【0007】前記エッチングと蒸着のステップは重なってもよいし、及び、エッチングと蒸着のガスは混合してもよい。

【0008】前記方法は、エッチングと蒸着との間、及び／或いは、蒸着とエッチングとの間で反応室の吸い出しを含む方法であって、その場合、前記吸い出しあは、次式

【0009】

【数2】

$$\frac{P_a}{P_{Pa} + P_{Pb}} < x$$

【0010】が満足されるまで続行される。上式において、 P_{pa} は前回のステップにおいて使用されたガス (A) の部分圧力を、 P_{pb} は次回のステップにおいて使用されるガス (B) の部分圧力を、そして x はガス (A) を伴った処理のプロセス速度が本質的定常状態から落ち込むところの割合をそれぞれ表すものである。

【0011】エッチング及び蒸着のガス流動は、連続的に或いは急激に変化しうる。たとえば、エッチング及び蒸着のガスは、それらのガス流速がシヌソイド状かつ位相外となるように供給されるかもしれない。これらパラメータのいづれの大きさも、サイクル内、及び、サイクル間において変化しうる。

【0012】特に好ましくは、少なくとも第1サイクルの間においては、そして、適切な環境においては、たとえば第2から第4サイクルまでの最初の数サイクルの間においては、蒸着速度は増加し、及び／或いは、エッチング速度は減少する。

【0013】エッチング速度は、下記：

- (a) 掃気ガスの導入
- (b) プラズマ出力の減少
- (c) サイクル時間の減少そして
- (d) ガス流速の減少
- (e) 反応室内圧力の変化

の中の一つまたはそれ以上によって減少しうる。

【0014】蒸着速度は、下記：

- (a) プラズマ出力の増加
 (b) サイクル時間の増加
 (c) ガス流速の増加
 (d) 蒸着種類の密度の増加
 (e) 反応室内圧力の変化

の中の一つまたはそれ以上によって増加しうる。

【0015】本方法の他の長所は、エッティング及び／或いは蒸着ステップは、表面粗さを減少するために、7.5秒未満の周期或いは5秒未満の周期さえをも有し；エッティングガスはCF_x或いはXeF₂であって、自然発生的なエッティングを減少するために一つ或いはそれ以上のより高い原子質量ハロゲン化物を含み；そして、増加した自己バイアス（例えば、ボルト数>20eV、或いは、実際にはボルト数>100eV）を伴う特に浅く高いアスペクト比エッティングのための蒸着を行っている間は、反応室内圧力は減少し及び／或いは流速は増加する、ということにある。

【0016】前記蒸着ステップでは、炭素層或いは炭化水素層を蒸着するために炭化水素蒸着ガスを使用しうる。前記ガスは、O、N、或いはF要因を含み、そして、蒸着した層は窒素或いはフッ素でのドープ処理がなされる。戻し冷却が問題となる場合には、前記基盤を反応室の支持台上に自由な状態で置く。択一的には、その基盤を固定し、その温度を、たとえば、-100°Cから100°Cの間となるように制御する。反応室の温度は、ベース粗さを減少する目的で、反応室或いはその装備品への凝固を減少するように、ウェハーと同じ温度範囲となるよう反応室に有利となるように制御する。

【0017】基盤は、GaAs、GaP、GaN、GaS_xO_y、SiGe、Mo、W及びTaの中のいずれかであって、この場合、エッティングガスは、特に好ましくは、H或いは不活性ガスを伴うか、或いは、伴なわないCl₂、BCl₃、SiCl₄、SiCl₂H₂、CH_xCl_y、C_xCl_y、CH_x中の一つ或いは組合せである。Cl₂が特に好適である。蒸着ガスは、Hを伴うか或いは伴なわないCH_x、CH_xCl_y、C_xCl_yの中の一つ或いは組合せであるか、或いは、不活性ガスである。CH₄或いはCH₂Cl₂が特に好適である。

【0018】本発明は上記に定義した通りであるが、それは上記或いは下記に開示しているいかなる進歩性のある特徴の組合せも含み得るものであると解釈すべきである。

【0019】

【実施例】本発明は、種々の方法によって実施しうるものであって、ここでは、ある特定の実施例を添付図を参照しながら示す。

【0020】図1は、反応イオンエッティング及び化学蒸着の両方の使用に適している公知技術での反応室10の概略図である。典型的には、真空室11は、半導体ウェハー13を受ける支持電極12とそれとはスペースを置いた電極14とを連携させる。

10

【0021】前記ウェハー13は、クランプ15によって前記支持12に対して押しつけられ、一般に、後方冷却手段（図示されていない）により冷却される。

20

【0022】反応室11は、コイル15aにより囲まれており、反応室11内における電極12と電極14との間にプラズマを誘発するように使用されるRF源16によって供給される。択一的には、マイクロ波出力の供給はプラズマ生成に使用する。いずれの場合においても、プラズマバイアスを生成する必要があるが、それはRF或いはDCのいずれかであり、そして、それをウェハー13へと下降するプラズマからイオンの通路に影響を与えるように支持電極12に接続する。そのような調整可能なバイアス手段の一例を17に示す。反応室には、蒸着ガス或いはエッティングガスが取り込まれるためのガス吸入口18、及び、ガス状の生成物及び過剰な生成ガスを除去するための排気口19を設けている。RIE或いはCVDのモードのいずれかにあるそのような反応室の操作については当該分野の技術において良く理解されていることである。半導体ウェハー或いは半導体基盤の表面上に、細長溝、エッティング、バイアス、或いは他の形成物をエッティングする場合、通例の実施では、前記基盤の部分を露出している開口部を有する光抵抗マスクを蒸着する。エッティングガスを反応室内に取り込み、そして、可能な限り形成物の側壁にエッティングがないようにするために、エッティング過程が下方向に異方性であることを保証する試みとしていくつのステップを取られている。種々の理由により、真の異方性エッティングを達成することは実際には困難であり、そして、前記側壁上に不働態材料を蒸着し、その結果、前記材料が犠牲的にエッティングされるようにするために種々の試みが行われている。現在までに、最も成功しているそのようなシステムは、たぶん、引例WO-A-94114187に記載されているものであり、そのシステムを図2に概略的に示す。前記引例に記載のプロセスでは、連続及び分割的なエッティング及び蒸着ステップを使用し、そのようにして、最初のエッティングステップの後、側壁を図20に示すようにアンダーカットし、このアンダーカットを蒸着した不働態層21によって保護する。図2から分かるように、この構成は粗い側壁を生成し、そして、エッティングしたステップが増加するか、或いは、実際にアスペクト比が増加する場合、プロファイル内に湾曲或いは四入したノッチがあるかもしれない。公知技術の引例には、CF_x不働態層の蒸着についての記載がある。出願人は、より滑らかな壁状の形成物、及び、特により質が高く深い及び／或いは高アスペクト比を有する形成物の生成が可能となるよう、上記プロセスに対する改良のシリーズを提案する。便宜のため、分節して記載する。

30

【0023】1. 不働態

既に上記で述べたように、前回提案では、CF_xの形の不働態層を蒸着するものである。出願人は、炭素層或い

50

は炭化水素層を用いて側壁を不働態しており、そしてそれらの層は、相当に高い付着エネルギーを与えるものであるが、それは黒鉛相が少なくとも部分的に除去されるように高い自己バイアスの下で蒸着される場合には特に顕著となる。

【0024】もしこれらのフィルム或いは層を要望通りに、例えば、20 eV 以上、好適には100 eVを超える高い自己バイアスで蒸着する場合、そしてそれが高いアスペクト比の形成物に対してなされる際にはもう一つの重要な利点を有することとなる。というのは、高い自己バイアスは、凹入側壁エッティングを防止するために、エッティングされる形成物のベースに対する下方向への蒸着材料の運搬を増加することを保証するからである。この運搬の影響は、滞留時間を減少させるために、徐々に反応室内圧力を減少させるか及び／或いはガス流速を増加させることにより改良できる。ある構成等では、明瞭に先細りした形成物或いはV型の形成物の生成が達成されるように蒸着作業を行うことが望ましい。浅く(<20 μm)高いアスペクト比の細長溝に関する特別な例では、特徴部の開口部サイズ(或いは、重要な寸法)を0.5 μmの範囲内とすることができます。この不働態によって形成された炭化水素(H-C)膜は、公知技術である過フッ化炭化水素膜よりも重要な長所を有する。例えば、前記H-Cフィルムは、エッティング処理をドライアッティング(酸素プラズマ)処理により終了した後、早急に取り除くことができる。これは、ウェット処理が高いアスペクト比を有する細長溝によって分離されている共振構造の固着現象に帰着するところのMEMS(マイクロ・エレクトロ・メカニカルシステム)の形成においては特に重要となる。例えば、光学や生物医学分野の装置に関する他の適用例においては、側壁層を完全に取り除くことは必須である。

【0025】前記H-Cフィルムは、幅広いH-C先駆物質(例えば、高分子重量芳香族化合物H-Cを含むCH₄, C₂H₄, C₃H₆, C₄H₈, C₂H₂ 等)の範囲から蒸着できる。これらは、希ガス及び／或いはH₂と混合できる。酸素源ガスも加える(例えば、CO, CO₂, O₂)ことができ、そして蒸着の間はそれをフィルムの位相バランスを制御するために利用できる。酸素は、より固い相(sp³)を残したまま、黒鉛相(sp²)を取り除く傾向にある。そのようなわけで、存在する酸素の割合は、最終的に蒸着されるフィルム或いは層の特性を影響する。

【0026】上記で述べているように、H₂はH-C先駆物質と混合できる。H₂は優先的にシリコンをエッティングし、そして割合を正確に選択した場合、不働態相にある間にホールのベースのエッティングを続行しつつ、側壁不働態が達成できる。

【0027】このための好ましい手続きは、選択したH-C先駆物質(例えば、CH₄)をH₂と混合し、提案したエッティング手続きにおいて使用する装置内の混合物質

を使ってマスク模様のシリコン表面を処理することである。シリコンエッティング速度を、H₂内のCH₄濃度の関数としてプロットし、そして、そのようなプロットの例を図4に示す。エッティング速度は、CH₄の割合の増加と共に、初期の定常状態から、ゼロへと減少して行く以前にピークへと増加することを注記しておく。

【0028】グラフが、以下のメカニズムを起こしていることを示していることに疑いの余地はない。初期の定常状態部分においては、SiH_x反応生成物を形成するためのH₂の活動が本質的にエッティングを支配している。H₂内のCH₄の約10%においては、基盤のCH₄エッティングは(Si(CH_x)_y生成物を形成することにより)重要となり、そしてエッティング速度は増大する。エッティングに起因して、グラフのこの部分上にはネット蒸着はないが、炭化水素層の蒸着がこの間を通して行われている。最終的には、ネット蒸着が生じるCH₄の約38%までは前記蒸着がエッティング処理を支配し始める。

【0029】これら変化特性を異なる2通りの方法で使用できうることが判明した。もし、高い自己バイアスであるか、或いは、高い平均エネルギーが存在する場合(例えば、例えば100 eV を超える)、施した層或いはコーティングは相当に固い。それというのは、コーティングはシリコン基盤よりもエッティングに対してより強い抵抗力があるため、減少した黒鉛相や過程はエッティング速度グラフの上昇部分において操作されうるからである。そのようなわけで、蒸着相を通して、シリコンをエッティングすることが可能となる。マスクするか或いは抵抗するために100:1を越える選択度を早急に得ることができる。マスク22のイオン衝撃に起因して重大な黒鉛相の除去がある一方で、イオンの高い方向性は、側壁コーティングが比較的影響を受けないことを意味していることを注記しておく。前記プロセス処理を、低平均イオンエネルギーの状態において、H-C先駆物質のみか或いはH₂希釈物のいずれかを伴って、操作できる。後者の場合、前記プロセス、エッティンググラフの下降部分において操作するのが好適である。その部分とは、CH₄にとって18%より大きく、かつ、ネット蒸着が生じる約38%未満の部分である。典型的には、その範囲は、CH₄にとって18%から30%の間に相当する。ポリマー蒸着の間の平均イオンエネルギーの低い値は、高いマスク選択度を許容する利点があると信じられる。これらの低いrfバイアス条件下では、選択度が、広い不働態蒸着に対して無限に増大する。よって、もし高い選択度が要求される場合は、低い平均イオンエネルギーの手法が有利となりうる。図5は、上記2実施例を含む条件範囲の下でCH₄とH₂使用するH-Cフィルムのためのステップカバレッジ(ステップ高さの50%で測定された側壁蒸着に対する表面蒸着)を示す。図5は、高イオンエネルギーはステップカバレッジを増大するが、低バイアス条件であったとしても、横方向エッ

チングに対して十分な不動態があることを示している。更に、後者の場合、より高い蒸着速度は、更にマスク選択度を増加する役目を果たす。低イオンエネルギーにおける蒸着速度は、2つの100eVを超える大きなケースでの1要因である。

【0030】以上のようなわけで、これらの手法を使用することによって、利用者は、彼の提案する構造に最も最適となる、エッチ速度と選択度の組合せを選択できる。更に、エッティング速度を増加するために、及び／あるいは、ノッチを減少するためにマスク選択度を向上する。図6は、どのように前記プロセスの種々のパラメータが同期されるかを示している。図6(d)は、連続かつ不变のコイル出力を示し、一方、図6(e)は、前記エッティング或いは蒸着ステップを向上するように、コイル出力を切り替え、そして、エッティングの際の出力は、要求されたプロセス動作に依存する蒸着のために選択した出力とは異なることを示している。図6(e)は、例を使って、蒸着している間のより高いコイル出力を示している。

【0031】図6f～iは、バイアス出力の中の似たような変化を示している。図6(f)は、蒸着フィルムの除去を簡易にするため、エッティングの間は、高バイアス出力を有しており、一方、図6(g)は、選択度の利点を伴って、平均イオンエネルギーを低く抑えながら、この除去プロセスを助長するために初期のより高い出力バルスを使用することを示している。図6(h)は、エッティング(例えば、深い細長溝を伴った)の間に、より高いイオンエネルギーを要求する時のための、図6(f)と図6(g)の組合せである。図6(i)は、蒸着の間は、バイアスが無いことを示している。

【0032】いずれかのプロセスでは、少なくとも、ガスの許容分離区間を、ガスB(P_{p b})の部分圧力内で許容されうるガスA(P_{p a})の残留部分圧力によって決定する。P_{p b}内におけるP_{p a}のこの最小値を、特性プロセス速度(エッティング或いは蒸着)からP_{p a}/(P_{p a} + P_{p b})の関数として設定する。図8において、ガスAは20%CH₄+H₂であり、ガスBはSF₆である。P_{p a}/(P_{p a} + P_{p b})<5%においては、プロセスは、実質的に*

1. 蒸着ステップ

CH₄ステップ時間： 2～15秒； 好ましくは4～6秒

H₂ステップ時間： 2～15秒； 好ましくは4～6秒

コイルrf出力： 600～1kW； 好ましくは800W

バイアスrf出力： 高平均イオンエネルギー-ケース： 500W～300W；
好ましくは100W

低平均イオンエネルギー-ケース： 0W～30W；
好ましくは10W

圧力： 2mTorr～50mTorr； 好ましくは20mTorr

2. エッチステップ

SF₆ステップ時間： 2～15秒； 好ましくは4～6秒

*定常状態であることが分かる。典型的な実際条件としては、1.5秒未満の吸い出し時間で十分であり、そして、プラズマを、プロセスステップが2～3秒のオーダーでは、合計サイクル時間の65%に渡って維持し、及び、プロセスステップが5秒を超える場合には、合計サイクル時間の80%に渡って維持する。適切な同期構成を図7に示す。蒸着ステップとエッティングステップのガスの混和の回避を望むため、エッティングは吸い出しに先行する。公知技術案(例えば、U.S.A. 4985114)は、プラズマがオン状態とされる以前に、長い間に渡って、蒸着ガス流動をオフ状態にするか或いは減少するように提案している。これは、プラズマ出力が、エッティング速度を重大な減少へと導きうる、合計サイクル時間のちょっとした部分においてのみオン状態になることを意味する。出願人は、反応室を、少なくとも、いずれかのガス交換の間において吸い出すべきであるが、圧力とガス流動の安定が維持されるように注意しなければならないと提案している。好ましくは、高い応答速度質量流動制御(上昇時間<100ms)及び自動圧力制御(角度変化そして安定<300ms)を使用する。

【0033】出願人は、蒸着ガスによってエッティングが弱められることのないようにするために、必要な吸い出し時間を設定(図8)した。しかしながら、吸い出しは、稼働中の正確なプロセス次第で、エッティングステップ、或いはエッティング及び蒸着ステップの両方に先行する。そしてまた、吸い出しが、(USA4985114に記載されている)微小荷重を減少し、そして下記の通り、高いアスペクト比エッティングに対しても有意義である。

【0034】変化しうるパラメータの多くは、図9(i)に図示してあるように、一般には傾斜している。前記傾斜は、それらパラメータが、サイクル間において急激に変化するのではなく、振幅或いは周期におけるサイクル毎に、徐々に増加或いは減少することを意味している。吸い出しの場合、傾斜は、側壁ノッチを下記に議論するように減少するか或いは除去しうるプロセスの開始時の混和を許容するように使用される。典型的なプロセスパラメータは以下の通りである。

【0035】

11

12

コイルrf出力： 600～1kW； 好ましくは800W
 バイアスrf出力： 高平均イオンエネルギー： 50W～300W；
 好ましくは150W
 低平均イオンエネルギー： 0W～30W；
 好ましくは15W

圧力： 2mTorr～50mTorr； 好ましくは30mTorr

2. エッティング／蒸着関係

出願人は、公知技術の手法は本質的に単純過ぎると結論づけている。というのは、ある特定なプロセスの間、条件を変化させることも、或いは異なった要求や異なったタイプの形成をも受け入れないからである。更に、公知技術は、深いエッティングの難題には取り組んでいない。その様なわけで、引例 WO-A-94114187 が教えていることとは反対に、図2に示してあるように壁の表面粗さを大きく減少するように、エッティングステップを不働態ステップ或いは蒸着ステップに重ね合わせることは、しばしば有意義となると出願人は信じている。出願人はまた、以前から利用されている剛な連続矩形波ステップは、驚くことに理想からはほど遠いものであると結論づけた。多くの場合、エッティング速度の減少が許容されているときは、ステージ間、特に重複が起きるているステージ間では滑らかな遷移を利用することが望ましい。以上のようなわけで、好適な一構成としては、位相外となる、好ましくは90°近く位相外となる2つの“波形”を、エッティングガス及び蒸着ガスのガス流速のために、シヌソイド状に時間と共に変化させることである。側壁粗さは、本質的には増大させた横方向エッティング構成部の現れであるため、前記側壁粗さは、エッティングの前記構成部に制限することにより減少できる。要望する効果は、次の多くの方法：不働態ステップとエッティングステップ（重複）とを部分的に混合すること；エッティング（ゆえに、対応する不働態）期間を最小化すること；ウェハー温度を減少することによりエッティング生成物揮発度を減少すること；及び、例えば、付加したO₂、N₂、C₂、CF_x、CH_xを有するSF₆のようなエッティングガスへ不働態要素を加えること、或いは、CF_x等により交換されたSF₆のような低反応種類の作用ガスの一つを使ってエッティングガスを交換すること等の内の一方法によって得ることができる。

【0036】出願人は、プロセス内の異なったステージにおいて、エッティングや蒸着レベルにおいての変化が要望されることもまた認めた。出願人は、第1サイクル或いは最初の数サイクルの間は、蒸着区間或いは蒸着速度を増加するか、或いは、他の適切な手段を取ることによって、向上した蒸着を有すべきであることを提案している。等しく或いは択一的に、エッティング速度或いは時間を減少しうる。既に以前にも簡単に述べたように、形成物或いは細長溝が深くなればなるほど、及び／或いは、アスペクト比が増大すればするほど、材料を蒸着することは次第に困難となってくる。ガス流速、反応室内圧

10

20

30

40

50

力、プラズマ出力、バイアス出力、サイクル時間、基盤エッティング／蒸着比率の中で、一つ或いはそれ以上を制御することによって、ふさわしい側壁蒸着保護を伴った良好な異方性エッティングが達成できるように、適切な方法でシステムを調整できる。これら及び関連する手法は、エッティングプロファイルに存在する多くの問題を克服するために利用できる。

a. 側壁ノッチ

側壁”ノッチ”問題は、露出したシリコンエリア（30%未満の低い露出エリアにおいてより酷い）にとって、特に敏感であり、また、高シリコン平均エッティング速度においても同様に酷い。出願人は、その様なノッチは、初期のエッティング／蒸着サイクルの間に、エッティング種類の比較的高い濃度によって引き起こされると信じている。そのようなわけで、出願人によって適用された解は、第1サイクルの間に、不働態を向上させるか或いはエッティング種類を消滅させるかのいづれかである。後者は、プロセス調整（一つ或いはそれ以上のパラメータを傾斜させる）によるか、或いは、F腐食液に作用するSi、Ti、W等のエッティング種類を（化学反応により）消費する反応室の中にある材料を放置するかのいづれかの方法で達成できる。

【0037】その様な化学的負荷は、当該消滅が最初の数エッティングステップにおいてのみに必要とされるだけのため、平均エッティング速度を減少させてしまうという欠点を有する。そのようなわけで、プロセス調整の解が有利であると判断される。

【0038】エッティング速度、プロファイル制御、選択性等の他のいづれの侧面をも弱めたり或いは劣化させることなく、側壁ノッチを減少／除去することが望ましい。出願人の調査によれば、”エッティング開始時点において、エッティング種類の濃度を減少させる”手法は、それぞれの（複数の）パラメータを図6に示されているように普通の前もって最適化したエッティング条件へと増加した後に引き続いて行われる下記のプロセス：

- a. フッ素掃気ガスの導入或いは
- b. 低コイル出力或いは
- c. 低エッチサイクル時間（ステップ期間）或いは
- d. 低エッチガス流動或いは
- e. 不働態サイクルの間の、上記a～dに対応するパラメータの増加
- f. 上記のコンビネーション。

【0039】を開始することによって、最もに制御できることを示している。前記增加は、急激（それは、a～

f のパラメータの中の、例えば、ステップ変化を使用して)であるか或いは傾斜しているかのいずれかである。これら2手法の結果を公知技術の教えと比較しつつ以下に述べる。

【0040】シリコン細長溝エッティングを行っている間の(公知技術を直接適用することにより生じてくる)問題の本質を、概略的に図3に示し、そして、図10及び図11にSEM's(走査型電子顕微鏡写真)を示す。これらの図は、1.7 μmの初期細長溝開口に対して、ノッチ幅は0.37 μmまでである一方、CD損失は1.2 μm(70%)である。そのようなCD損失の値は、実用へはほとんど不適である。

【0041】しかしながら、ノッチした側壁は、初期サイクルのエッティングプロセスの間にプロセスパラメータを変化しうる出願人の方法(例えば、a~f)を使用することにより修正されうる。もし、急激なステップをプロセスパラメータを変化するために使用するなら、急激な遷移が側壁プロファイルに生成される。図12及び図13のSEM'sは、この事を、異なるプロセスパラメータに対して、図示するものである。図12において、プロセスパラメータの遷移は、(8.5 μmエッティング深さの後の)パラメータの変化点における、側壁プロファイル内の急激な遷移であるとして注目される。(側壁ノッチが除去されていることが注目される。)図13は、もう一つのプロセスパラメータの急激/ステップ変化を図示している。ここでは、側壁不動態は、最初の2 μmに対して、明瞭なプロファイル(そして、ノッチ無しである)に帰着するには十分に良質である。減少された不動態の条件が適用された場合、それは、側壁角度における遷移及びノッチの再出現によって特性づけられる。

【0042】"傾斜づけ"パラメータ手法を使用することにより、いかなる急激な遷移も生じさせることなく;図14のSEMを参照、滑らかな側壁プロファイルを生成するのと同様に、ノッチを除去できる。このことは、傾斜無しのプロセスに匹敵するエッティング速度を維持する一方、滑らかで明瞭なプロファイル及びCD損失無しを有する深さ22 μmの細長溝エッティングを示している。この場合に使用するプロセス条件は、図19aに示してある。

【0043】b. 深く高いアスペクト比エッティングを行っている間のプロファイル制御

公知技術の教えは、高アスペクト比(>10:1)エッティングが要求されるものに限定されている。ここでは、限定と解について、比較的深いエッティング(>200 μm)に対する議論するが、その議論は、浅くて高いアスペクト比エッティングに対しても、そしてまた、CDの値がたとえ0.5 μm未満となるような大変低い値にさえも、等しく適応できうる。高アスペクト比エッティングを識別しうる基本メカニズムの一つには、エッティング生成物と同様にエッティング(及び不動態)反応先駆物質の拡

散がある。不動態ステップに対するこの種の移送現象が調査された。この結果は、深い細長溝のベースに対しての側壁不動態の移送が低圧力の下で改善しうることを明確に示している。プラテン出力の増加もまたこれを改善するものである;図15を参照。グラフは、圧力が減少し、及び、rfバイアス出力が増加する時の、細長溝のベースに対して改善した不動態を示している。

【0044】このデータは、最初に200 μm深さの細長溝をエッティングし、それから、不動態ステップだけを使用し、そして走査型電子顕微鏡を使用することにより、深さと共に側壁不動態の変化を測定することによって得られたものである。このことは、エッティング深さと共に不動態の変化を確認し、そして、更に、最適なプロセス条件はエッチ深さと共に変化するということの示唆も支持しうる。

【0045】公知技術を、その様な高アスペクト比のプロセスに対して適用する際の限界を、図16のSEMによって示す。注目すべきことには、エッティング比の固定したパラメータプロセスに対する比較的高い不動態は、

初期の側壁ノッチに確実に帰着してしまうが、10 μm CDや深さ230 μmの細長溝のエッティングに対してこれを示すには、SEM拡大は十分に高くはない。図15に示されている傾向から、要望する高バイアスrf出力と低圧力の条件の下で操作することにより、プロファイルを幾分改善することができる。しかしながら、固定パラメータプロセスとして、高バイアス出力と低圧力の条件は、イオンエネルギーが増大すると共に、マスク選択度(100:1以上から10:1未満へと)を重大に劣化させる。急激パラメータを使用する場合、変化は、図17のSEMに示してあるように、急激な側壁変化に帰着する。

次のパラメータを傾斜化することによって、つまり、プラテン出力を増加、圧力を減少、そして、サイクル時間とガス流動とを増加することによって、75:1を越える適切で高い選択度を維持しつつ;図18を参照、好ましい結果を生み出すことができる。ここで、SEMは深さ295 μm、12 μm CDの細長溝エッティング(25:1のアスペクト比)を示す。この場合のプロセス条件は、図19bに示す。図20は、側壁ノッチを減少するために、初期サイクルにおいて使用されている蒸着ガスとエッティングガスの同期を示す。典型的な動作条件を図19aに与え、そして、それに関わるSEMを図14に示す。図21は、側壁ノッチ減少の手法の方法による掃気ガスの使用に関する同期を示す。破線は、減少傾向に傾斜化する掃気ガス流速の選択を示す。図9iは、深く高アスペクト比の異方性エッティングを得るために同期を示しているが、提示している傾斜化の手法は側壁ノッチの減少にも使用できる。図18に示す結果を得るために、図19bの条件を使用できる。図9iに戻った場合、以下のことが分かる:

1. 当該図は、平均圧力の傾斜を示す。サイクルが蒸着

からエッティングに変化するとき、圧力が低圧力から高圧力へと変化するを注記しておく。圧力の下向き傾斜は、エッティングと不働態の両サイクルに対しての圧力減少に帰着する。

【0046】2. 当該図は、 r_f バイアス出力傾斜を示す。バイアスは、サイクルが蒸着からエッティングに変化するとき、低バイアスから高バイアスへと変化することを注記しておく。これは、上記の圧力変化に同期している。バイアスの上向き傾斜は、この場合、蒸着にのみ当てはまる。

【0047】3. 当該図は、 r_f バイアス出力傾斜のもう一つの例を示す。ここでもまた、バイアスは、圧力変化に同期して、サイクルが蒸着からエッティングに変化するとき、低バイアスから高バイアスへと変化する。バイアスの上向き傾斜は、この場合、蒸着ステップとエッティングステップの両方に当てはまる。

【0048】図9 i iは、一般的なバラメータの傾斜を描写している。これらの例は、傾斜しているサイクル時間とステップ時間とをそれぞれ描写するものである。

【0049】4. 当該図は、サイクル時間傾斜を示す。前記傾斜では、バラメータ（ガス流速、圧力、 r_f 出力等）の大きさが傾斜づけられていない。ある適用例では、こは、上記の場合における“大きさ”の傾斜づけに対する選択として供与しうる。

5. 当該図は、サイクル時間傾斜を示す。前記傾斜では、バラメータ（ガス流速、圧力、 r_f 出力等）の大きさが傾斜づけられている。バラメータの傾斜は、大きさに関して増加或いは減少し、減少する場合、それはゼロ或いは非ゼロの値へ向かうことを注記しておく。

【0050】3. エッティングガス
適切ないづれのエッティングガスも使用できうるが、出願人は、ある特定なガス或いは混合が有益であることを見つけだした。

【0051】そのようなわけで、プロセス速度に影響するため、エッティング段階においてはいかなる不働態ガスを有することも好ましくないことが引例 WO-A-94114187 の中に示唆されている。しかしながら、出願人は、この手続きは、形成された側壁細長溝の質を大幅に改善することができると結論づけ、そして、O₂、N₂、C₂、炭化水素、水素-含ハロゲン炭素、及び／或いは、含ハロゲン炭素のような不働態ガスをエッティングしたガスに対して加えることを提案する。同様に、そして同目的のために、エッティングしたガスの化学反応度を減少することが要望され、そして、出願人は、例えば、C₁、B₂或いはI₂等のような、より高い原子質量のハロゲン化物と共にCF_xを使用することを提案している。しかしながら、XeF₂や他のエッティングガスを使用するかもしれない。側壁粗さの度合いは、択一的には、サイクル時間を限定することによってもまた減少できる。例えば、エッティングや蒸着周期を、7.5秒未満に、好ましくは、

5秒未満に限定することが望ましいということが発見されている。

4. ガリウム砒素と他の材料

前回の提案は、すべて、シリコン内の細長溝形成についてである。出願人は、適切な不働態を使用することにより、ガリウム砒素や、実際には、他のエッティング可能な材料の異方性エッティングが達成できることを認めた。例えば、ガリウム砒素へのエッティングは、不働態ガス或いはエッティング促進ガスを伴っているか、或いは、伴っていないC₁2を使ってなしうることが提案できる。しかし、この手法は、上記に提案した炭素或いは炭化水素不働態を使ってより成功しうると一般には理解されている。もし、従来通りのCF_x化学物質を利用するなら、エッティング禁止化合物が生成され、そして、それは表面粗さを増大するか或いはエッティングを限定する。ガリウム砒素に対して、低圧力かつ高プラズマ密度反応室を使用する場合は、低温度が好ましいだろう。適切なエッティング化学物質はすでにこの明細書の前段に記載してあるとおりである。

【図面の簡単な説明】

【図1】半導体を処理するための反応室の概略図である。

【図2】公知技術の方法により形成された細長溝の概略図である。

【図3】図2に示されている細長溝の開口部の拡大図である。

【図4】H₂内でのCH₄の割合に対するシリコンのエッティング速度を示すプロットである。

【図5】異なる平均イオシエネルギーに対して、H₂内でのCH₄の割合に対するステップカバレッジを示すプロットである。

【図6】ガスと図1の装置のコントロールバラメータとの間で起こりうる種々の同期を示すダイアグラムである。

【図7】図6に対応する図式であるが、択一的な動作シナリオを示すものである。

【図8】部分圧力比に対するシリコンのエッティング速度を示すプロットである。

【図9(i)】深い異方性プロファイル制御のための傾斜のバラメータの概略的描写を示す。

【図9(iii)】図9(i)のより一般的な傾斜を示している。

【図10】公知技術に従って形成された細長溝の走査型電子顕微鏡写真である。

【図11】図11は図10の開口部の拡大図である。

【図12と図13】プロセスバラメータに急激な遷移が生じている出願人のプロセスにより形成された細長溝に対応する走査型電子顕微鏡写真である。

【図14】傾斜したバラメータが使用されている以外は、図12に対応している。

(10)

特開平10-135192

17
【図15】種々の反応室圧力におけるRFプラテン出力に対する蒸着比を示すプロットである。

【図16】公知技術による高アスペクト比の細長溝の走査型電子顕微鏡写真を示す。

【図17】急激な遷移を持つ出願人プロセスを使用した場合の対応する走査型電子顕微鏡写真を示す。

【図18】傾斜した遷移を使用している間に、出願人のプロセスにより形成された高アスペクト比細長溝の走査型電子顕微鏡写真である。

【図19(a)と図19(b)】図14と図18のそれ*10

18
*それに示されている細長溝に対して使用されたプロセス条件を示す表である。

【図20】出願人のプロセス初期サイクルの間における蒸着ガス及びエッチャリングガスの同期を示す図である。

【図21】掃気ガスを使用することによる図20に対する選一的な手法を示す図式である。

【符号の説明】

18…ガス導入口

19…ガス排出口

【図1】

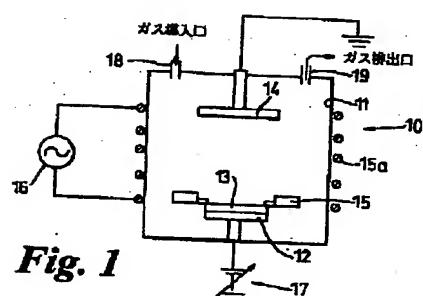


Fig. 1

【図2】

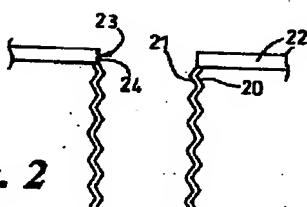


Fig. 2

【図3】

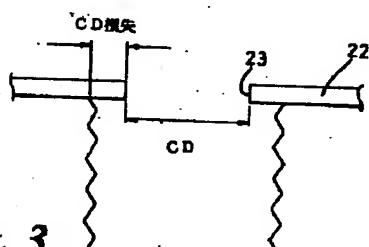


Fig. 3

【図4】

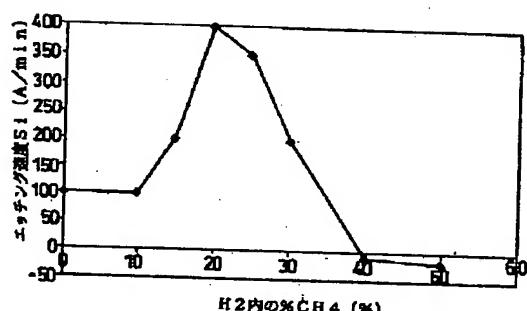


Fig. 4

【図15】

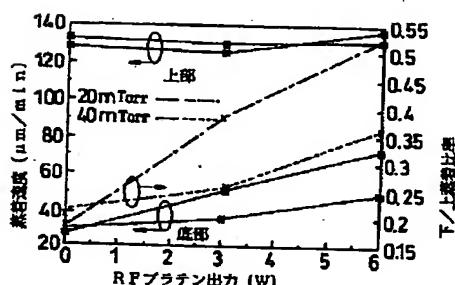


Fig. 15

【図20】

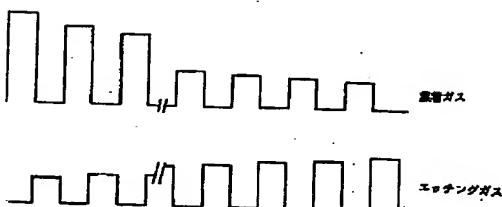
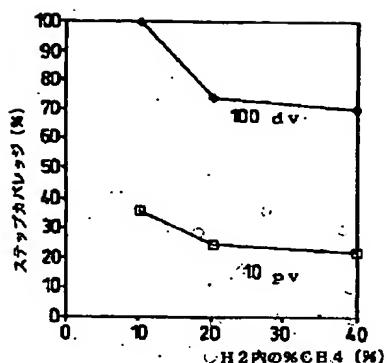
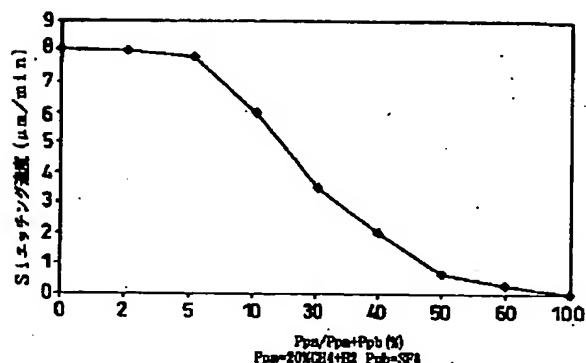


Fig. 20

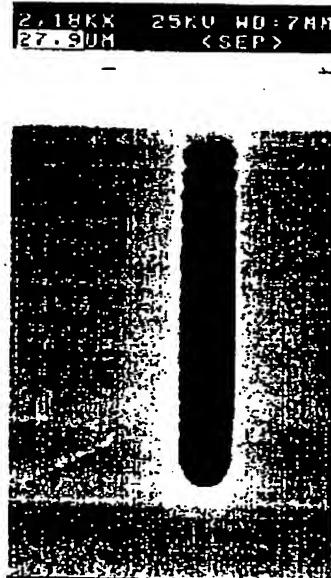
【図5】

**Fig. 5**

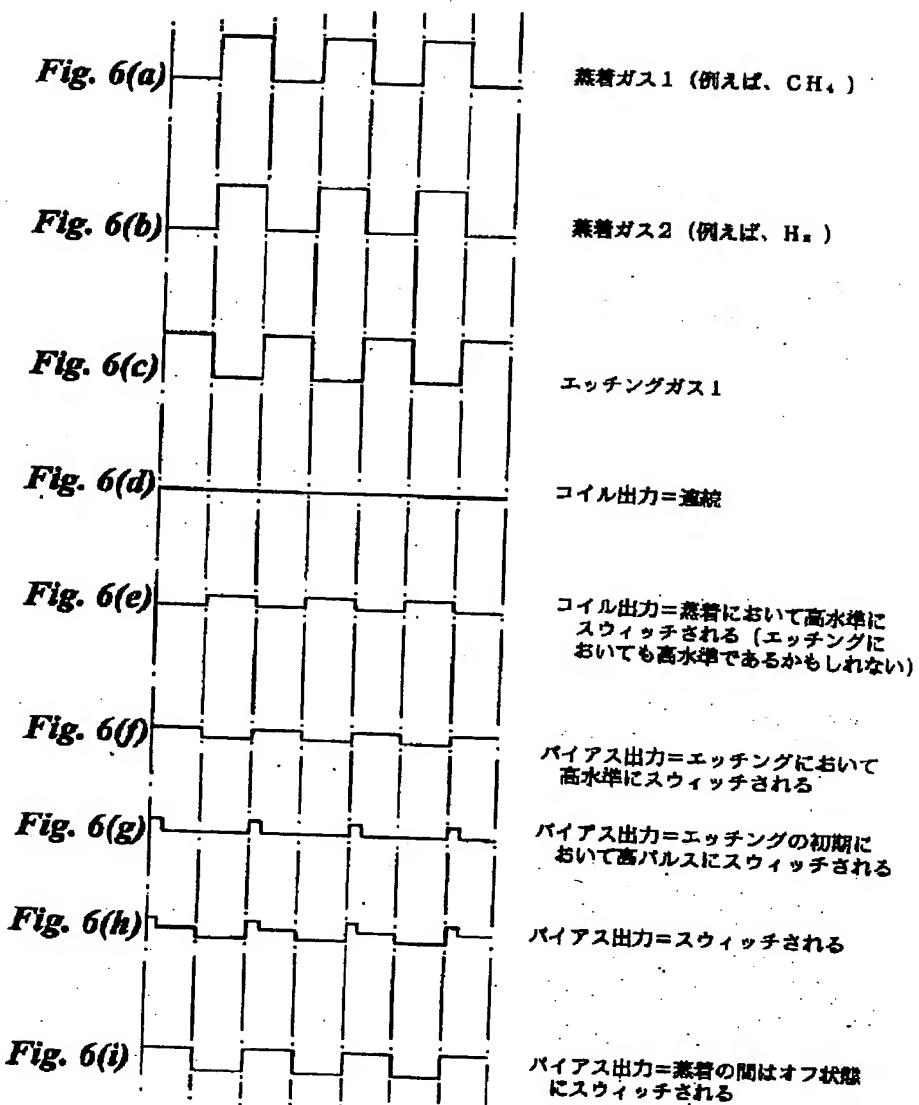
【図8】

**Fig. 8**

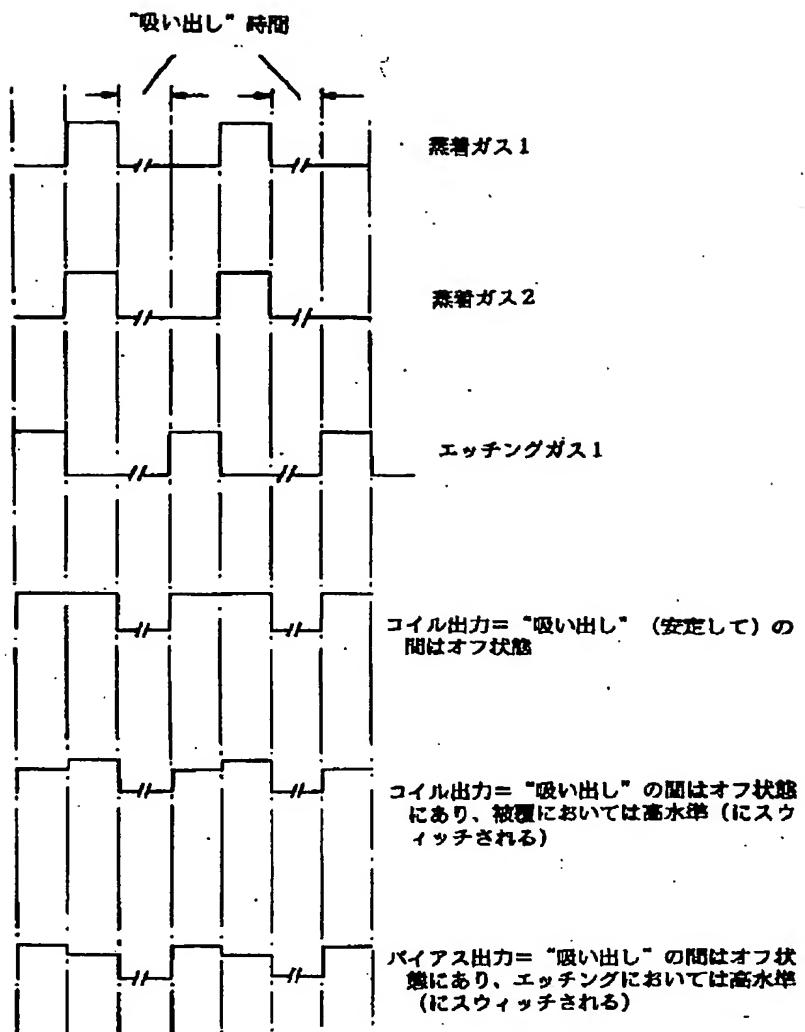
【図10】

**Fig. 10**

【図6】



[図7]

*Fig. 7*

【図9】

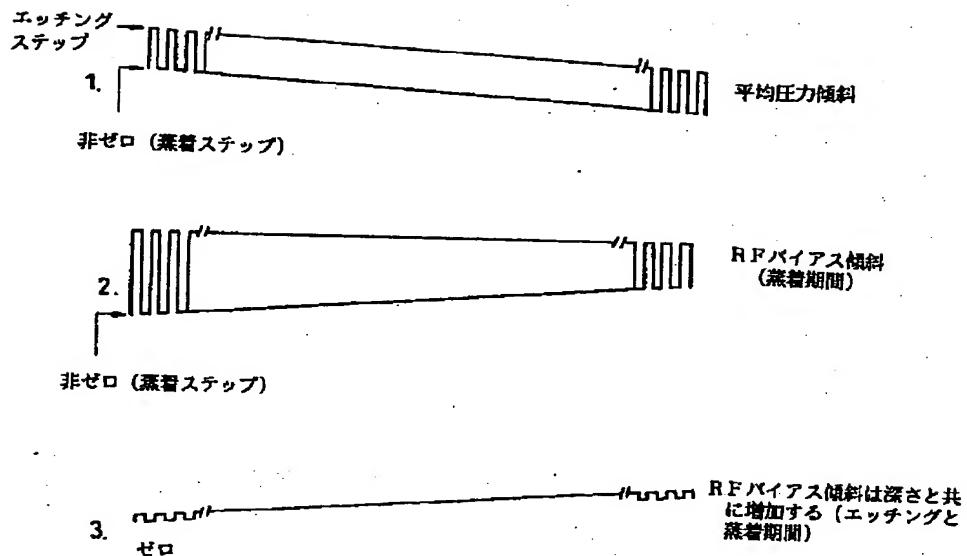


Fig. 9(i)

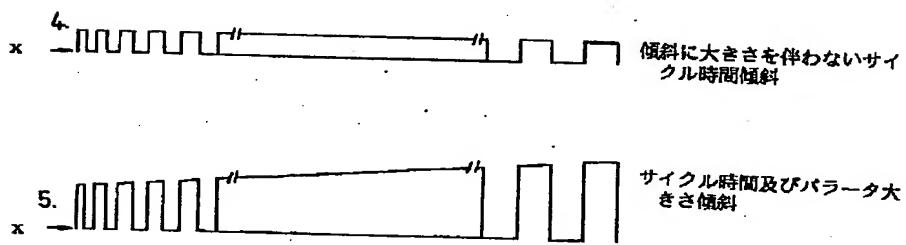


Fig. 9(ii)

(15)

特開平10-135192

【図11】



Fig. 11

【図12】

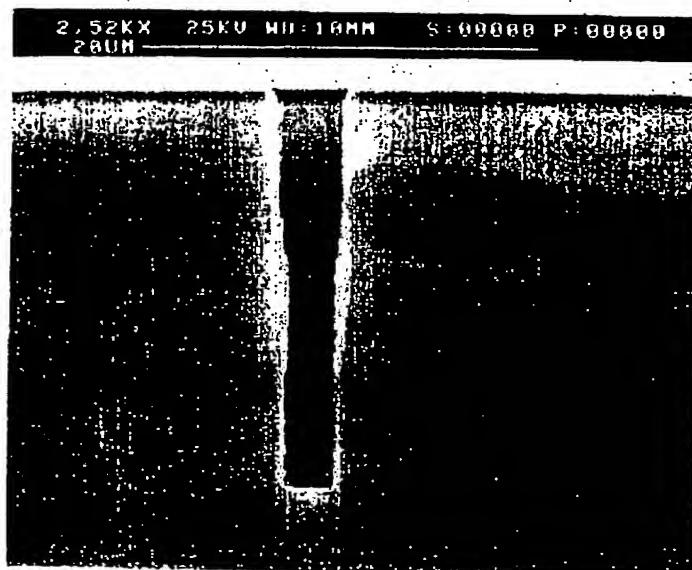


Fig. 12

(16)

特開平10-135192

【図13】

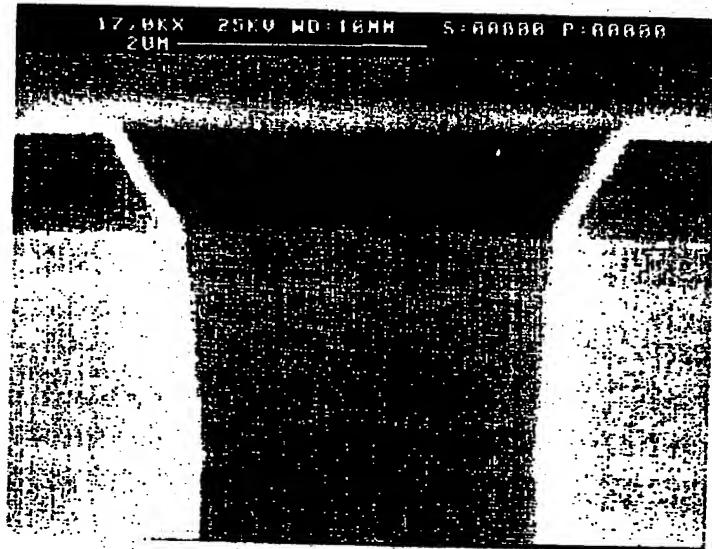


Fig. 13

【図16】



Fig. 16

【図14】

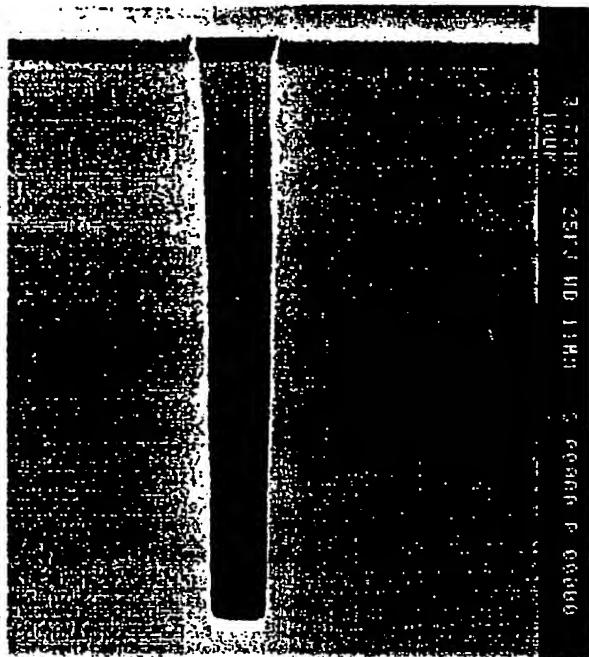


Fig. 14

【図21】

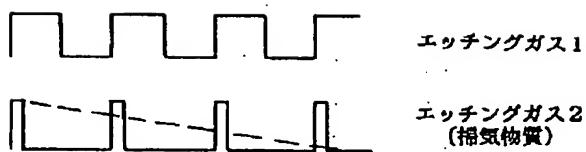


Fig. 21

【図17】

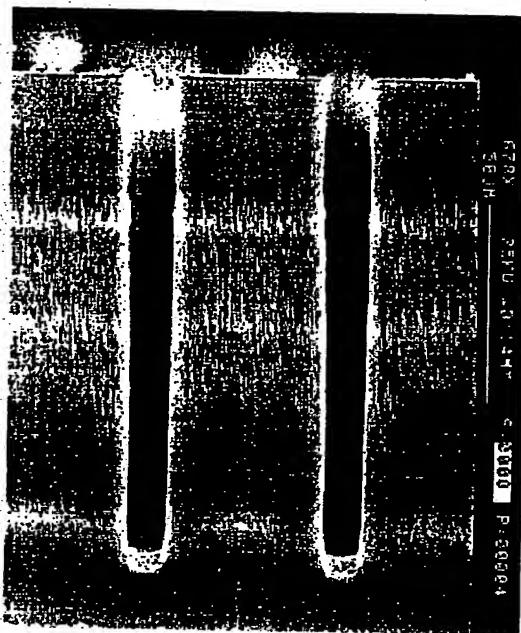


Fig. 17

【図18】

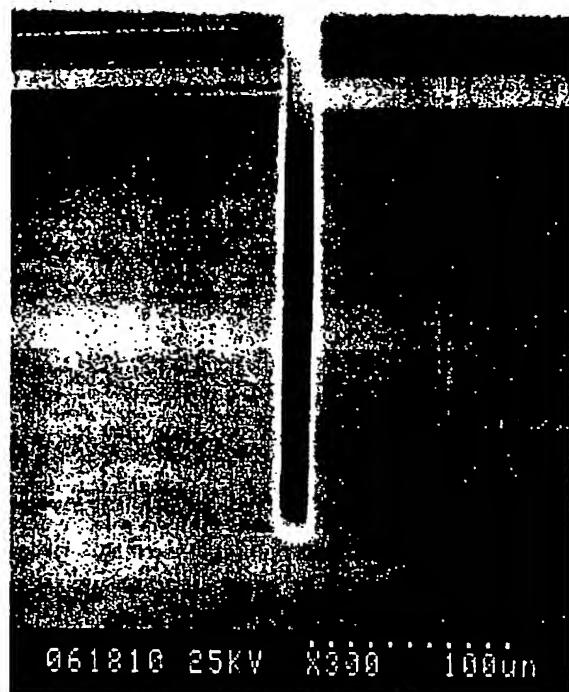


Fig. 18

【図19】

エッチャングステップ				蒸着ステップ				注釈			
Rフロー (SCCM) S ₂	時間 (s)	圧力 (m Torr)	コイル出力 (W)	Rフロー (SCCM) C ₂ H ₂	時間 (s)	圧力 (m Torr)	コイル出力 (W)	Rフロー (SCCM) C ₂ H ₂	時間 (s)	圧力 (m Torr)	コイル出力 (W)
50	13	25	600	12	770	7	38	600	0		
130	35	35	10	85	21						

(R) (R)

Fig. 19(a)

エッチャングステップ				蒸着ステップ				注釈			
Rフロー (SCCM) S ₂	時間 (s)	圧力 (m Torr)	コイル出力 (W)	Rフロー (SCCM) C ₂ H ₂	時間 (s)	圧力 (m Torr)	コイル出力 (W)	Rフロー (SCCM) C ₂ H ₂	時間 (s)	圧力 (m Torr)	コイル出力 (W)
80	12	35	600	10	52	7	20	600	0		
	25		12		15				5		

(R) (R)

Fig. 19(b)

【手続補正書】

【提出日】平成9年12月3日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】半導体を処理するための反応室の概略図である。

【図2】公知技術の方法により形成された細長溝の概略図である。

【図3】図2に示されている細長溝の開口部の拡大図である。

【図4】H₂内でのCH₄の割合に対するシリコンのエッティング速度を示すプロットである。【図5】異なる平均イオンエネルギーに対して、H₂内でのCH₄の割合に対するステップカバレッジを示すプロットである。

【図6】ガスと図1の装置のコントロールパラメータとの間で起こりうる種々の同期を示すダイアグラムである。

【図7】図6に対応する図式であるが、逐一的な動作シナリオを示すものである。

【図8】部分圧力比に対するシリコンのエッティング速度のプロットである。

【図9】(i)は、深い異方性プロファイル制御のためのパラメータ傾斜の概略的描写を示す。(ii)は、(i)のより一般的な傾斜を示している。

【図10】公知技術に従って形成された細長溝の走査型*

*電子顕微鏡写真である。

【図11】図11は図10の開口部の拡大図である。

【図12と図13】プロセスパラメータに急激な遷移が生じている出願人のプロセスにより形成された細長溝に対応する走査型電子顕微鏡写真である。

【図14】傾斜したパラメータが使用されている以外は、図12に対応している。

【図15】種々の反応室内圧力におけるRFプラテン出力に対する蒸着比を示すプロットである。

【図16】公知技術による高アスペクト比の細長溝の走査型電子顕微鏡写真を示す。

【図17】急激な遷移を持つ出願人プロセスを使用した場合のそれに対応する走査型電子顕微鏡写真を示す。

【図18】傾斜した遷移を使用している間に、出願人のプロセスにより形成された高アスペクト比細長溝の走査型電子顕微鏡写真である。

【図19】(a)は、図14の走査型電子顕微鏡写真により示されている細長溝を形成するために設定されたプロセス条件を示している。(b)は、図18の走査型電子顕微鏡写真により示される細長溝を形成するために設定されたプロセス条件を示している。

【図20】出願人のプロセス初期サイクルの間における蒸着ガス及びエッティングガスの同期を示す図式である。

【図21】掃気ガスを使用することによる図20に対する逐一的な手法を示す図式である。

【符号の説明】

1 8…ガス導入口

1 9…ガス排出口

【手続補正書】

【提出日】平成9年12月3日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【発明の属する技術】本発明は、半導体基盤の表面処理方法に関し、他の方法を除外するものではないが、特に、エッティングした特徴部上に側壁不働態層を蒸着する※

※方法、及び、不働態化の方法を含む、その様な特徴部をエッティングする方法に関するものである。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】図20

【補正方法】変更

【補正内容】

【図20】出願人のプロセスの初期サイクルの間における蒸着ガス及びエッティングガスの同期を示す図である。

フロントページの続き

(72)発明者 ヒューマ アシュラフ

イギリス国 エヌピー9 4エルティー
ニューポート サウスヴィル ロード 14

(72)発明者 パバック カムゼボー

(22)

特開平10-135192

イギリス国 シーヴィ3 2ピーティー
コヴェントリー アッシュダウン クロー
ズ 34
(72)発明者 ジャネット ホブキンズ
イギリス国 エヌビー8 1ピーピー ク
リックホーウェル アッパー ハウス フ
ーム 29

(72)発明者 アラン マイケル ハインズ
イギリス国 シーエフ1 9エルエル カ
ーディフ カシードラル ロード 68
(72)発明者 マーティン エドワード ライアン
イギリス国 エヌビー8 1ピーピー ク
リックホーウェル アッパー ハウス フ
ーム 29

【外国語明細書】

1. Title of Invention

Method of surface Treatment of Semiconductor substrates

2. Claims

1. A method of etching a feature in a semiconductor substrate in a reactor chamber using alternately reactive ion etching and depositing a passivation layer by chemical vapour deposition, wherein one or more of the following parameters: gas flow rates, chamber pressure, plasma power, substrate bias, etch rate, deposition rate, cycle time, and etching/deposition ratio vary with time.

2. A method as claimed in claim 1 wherein the variation is periodic.

3. A method as claimed in claim 2, wherein the parameter or parameters vary as a sinusoidal, square, or saw tooth waveform or a combination of these.

4. A method as claimed in claim 1 or claim 2 wherein the variations in the parameter or parameters are ramped.

5. A method of etching as claimed in claim 1
wherein the etching and deposition steps overlap.

6. A method as claimed in claim 1
wherein the etching and deposition gases are mixed.

7. A method as claimed in claim 1
including pumping out the chamber between etching and deposition and/or between deposition and etching.

8. A method as claimed in claim 7 wherein the pump out continues until

P_{pa}

— < x

P_{pa} + P_{pb}

wherein P_{pa} is the partial pressure of the gas (A) used in the preceding step,

P_{pb} is the partial pressure of the gas (B) to be used in the subsequent step,

and

x is the percentage at which the process rate of the process associated with gas (A) drops off from an essentially steady state.

9. A method as claimed in claim 1

wherein the amplitude of the parameters is variable within a cycle or as between cycles.

10. A method as claimed in claim 1

wherein the etch rate is reduced and/or the deposition rate is enhanced during the first cycle or for up to at least the first few cycles.

11. A method as claimed in claim 10 wherein the etch rate is reduced by one or more of the following:

- (a) the introduction of a scavenging gas
- (b) a reduction in plasma power
- (c) a reduction in cycle time and
- (d) a reduction in gas flow
- (e) varying the chamber pressure

12. A method as claimed in claim 10 or claim 11 wherein the

deposition rate is enhanced by one or more of the following:

- (a) an increase in plasma power
- (b) an increase in cycle time
- (c) an increase in gas flow rate
- (d) an increase in deposition species density
- (e) varying the chamber pressure

13. A method as claimed in claim 1

wherein the chamber pressure is reduced as a function of feature depth.

14. A method as claimed in claim 1

wherein the substrate bias is increased as a function of feature depth.

15. A method as claimed in claim 1

including depositing a mask having openings prior to etching.

16. A method as claimed in claim 15

wherein the mask is enhanced by or is itself deposited as a carbon or hydrocarbon layer.

17. A method as claimed in claim 1

wherein the etch and/or depositions have periods of less than 7.5 secs or 5 secs.

18. A method as claimed in claim 1

wherein the etch gas is CF_x or XeF₂.

19. A method as claimed in claim 1

wherein the etch gas includes one or more higher atomic mass halides.

20. A method as in claim 1

wherein the chamber pressure is reduced and/or the flow rate

is increased during deposition.

21. A method as claimed in claim 1
wherein the substrate rest freely on a support in the
chamber to be heated to equilibrium by the plasma.

22. A method as claimed in claim 1
wherein the substrate is maintained at between -100°C and
100°C.

23. A method as claimed in claim 1
wherein the substrate is GaAs, GaP, GaN, GaSb, SiGe, Ge, Mo,
W or Ta.

24. A method as claimed in claim 23, wherein the etch gas
is one or a combination of Cl₂, BCl₃, SiCl₄, SiCl₂H₂, CH_xCl_y,
C_xCl_y, CH_x with or without H or an inert gas.

25. A method as claimed in claim 23 or claim 24, wherein
the deposition gas is one or a combination of CH_xH_y, CH_x,
CH_xCl_y or C_xCl_y, with or without H, or an inert gas.

26. A method as claimed in claim 1
wherein the deposition gas is a hydrocarbon gas to deposit
a carbon or hydrocarbon layer.

27. A method as claimed in claim 26, wherein the deposition
gas includes O, N or F elements and/or is mixed with H₂.

28. A method as claimed in claim 27, wherein the deposited
layer is Nitrogen and/or Fluorine dopes.

29. A method of etching a feature in a semiconductor
substrate including alternately etching and depositing a
passivation later wherein the deposition rate is enhanced
and/or etch rate is reduced during at least the first cycle.

3. Detailed Description of the Invention

This invention relates to methods for treatment for semiconductor substrates and in particular, but not exclusively, to methods of depositing a sidewall passivation layer on etched features and methods of etching such features including the passivation method.

It is known to anisotropically etch trenches or recesses in silicon using methods which combine etching and deposition. The intention is to generate an anisotropic etch, whilst protecting the sidewalls of the trench or recess formed by laying down a passivation layer.

Such methods are for example shown in US-A-4579623, EP-A-0497023, EP-A-0200951, WO-A-94114187 and US-A-4985114. These all describe either using a mixture of deposition and etching gases or alternate etching and deposition steps. The general perception is that mixing the gases is less effective because the two processes tend to be self cancelling and indeed the prejudice is towards completely alternate steps.

Other approaches are described in EP-A-0383570, US-A-4943344 and US-A-4992136. All of these seek to maintain the substrate at a low temperature and at first, somewhat unusually, uses burst of high energy ions during etching to remove unwanted deposits from the sidewalls.

The continuous trend in semiconductor manufacture is for features of ever increasing aspect ratio, whence the sidewall profile and the surface roughness on the sidewalls,

becomes more significant the smaller the width of the feature. Current proposals tend to produce a rather bowed or reentrant sidewall profile as well as rough sidewalls and/or bases to the formations depending on the process being run.

The manifestation of the various problems depends on the application and the respective processing requirements, silicon exposed area (unmasked substrate areas), etch depth, aspect ratio, side wall profile and substrate topography.

The method of this invention, in at least some embodiments, addresses or reduces these various problems.

From one aspect the invention consists in a method of etching a trench in a semiconductor substrate in a reactor chamber using alternately reactive ion etching and depositing a passivation layer by chemical vapour deposition, wherein one or more of the following parameters: gas flow rates, chamber pressure, plasma power, substrate bias etch rate, deposition rate, cycle time and etching/deposition ratio vary with time. The variation may be periodic.

The etching and deposition steps may overlap and etching and deposition gases may be mixed.

The method may include pumping out the chamber between the etching and deposition and/or between deposition and etching, in which case the pump may continue until

P_{pa}

— < x

P_{pa} + P_{pb}

wherein P_{pa} is the partial pressure of the gas (A) used in the preceding step,

P_{pb} is the partial pressure of the gas (B) to be used in the subsequent step,

and

x is the percentage at which the process rate of the process associated with gas (A) drops off from an essentially steady state.

The etching and deposition gas flows may be continuously or abruptly variable. For example the deposition and etching gases may be supplied so that their flow rates are sinusoidal and out of phase. The amplitude of any of these parameters may be variable within cycles and as between cycles.

It is particularly preferred that the deposition rate is enhanced and/or etch is reduced during at least the first cycle and in appropriate circumstances in the first few cycles for example in the second to fourth cycles.

The etch rate may be reduced by one or more of the following

- (a) the introduction of a scavenging gas
- (b) a reduction in plasma power

- (c) a reduction in cycle time and
- (d) a reduction in gas flow
- (e) varying the chamber pressure

The deposition rate may be enhanced by one or more of the following

- (a) an increase in plasma power
- (b) an increase in cycle time
- (c) an increase in gas flow rate
- (d) an increase in deposition species density
- (e) varying the chamber pressure

Other advantageous features of the method are that the etch and/or deposition steps may have periods of less than 7.5 seconds or even 5 seconds to reduce surface roughness; the etch gas may be CF_x or XeF₂, and may include one or more high atomic mass halides to reduce spontaneous etch; and the chamber pressure may be reduced and/or the flow rate increased during deposition particularly for shallow high aspect ratio etching where it may be accompanied by increased self bias (e.g. voltage >20eV or indeed >100eV).

The deposition step may use a hydrocarbon deposition gas to deposit a carbon or hydrocarbon layer. The gas may include O, N or F elements and the deposited layer may be Nitrogen or Flourine doped.

The substrate may rest freely on a support in the chamber when back cooling would be an issue. Alternatively the substrate may be clamped and its temperature may be controlled, to lie, for example, in the range -100°C to 100°C. The temperature of the chamber can also

advantageously be controlled to the same temperature range as the wafer to reduce condensation on to the chamber or its furniture to reduce base roughness.

The substrate may be GaAs, GaP, GaN, Ga₂O, SiGe, Mo, W or Ta and in this case the etch gas may particularly preferably be one or a combination of Cl₂, BCl₃, SiCl₄, SiCl₂H₂, CH_xCl_y, C_xCl_y, or CH_x with or without H or an inert gas. Cl₂ is particularly preferred. The deposition gas may be one or a combination of CH_x, CH_xCl_y, or C_xCl_y with or without H, or an inert gas CH₄ or CH₂Cl₂ are particularly preferred.

Although the invention has been defined above it is to be understood that it includes any inventive combination of the features set out above or in the following description.

The invention may be performed in various ways and a specific embodiment will now be described by way of example, with reference to the accompanying drawings in which:

Figure 1 illustrates schematically a prior art reactor chamber 10, which is suitable for use both in reactive ion etching and chemical vapour deposition. Typically a vacuum chamber 11 incorporates a support electrode 12 for receiving a semiconductor wafer 13 and a further spaced electrode 14. The wafer 13 is pressed against the support 12 by a clamp 15 and is usually cooled, by backside cooling means (not shown).

The chamber 11 is surrounded by a coil 15a and fed by a RF source 16 which is used to induce a plasma in the chamber 11 between the electrodes 12 and 14. Alternatively a microwave power supply may be used to create the plasma. In both cases there is a need to create a plasma bias, which can be either RF or DC and can be connected to the support electrode 12 so as to influence the passage of ions from the plasma down on to the wafer 13. An example of such an adjustable bias means is indicated at 17. The chamber is provided with a gas inlet port 18 through which deposition or etched gases can be introduced and an exhaust port 19 for the removal of gaseous process products and any excess process gas. The operation of such a reactor in either the RIE or CVD modes is well understood in the art.

When etching trenches, etches, vias or other formations on the surface of a semiconductor wafer or substrates, the

usual practice is to deposit a photo-resist mask with openings revealing portions of the substrate. Etched gases are introduced into the chamber and a number of steps are then taken to attempt to ensure that the etching process is anisotropic in a downward direction so that there is as little etching of the sidewalls of the formation as possible. For a variety of reasons it is difficult in practice to achieve true anisotropic etching and various attempts are made to deposit passivating materials onto the sidewalls so that the material can be sacrificially etched. The most successful to date of such systems is probably that described in WO-A-94114187 and this system is schematically illustrated in Figure 2. The process described in that document uses sequential and discrete etch and deposition steps so that after the first etched step the sidewalls are undercut as shown at 20 and this undercut is then protected by a deposited passivation layer 21. As can be seen from Figure 2 this arrangement produces a rough sidewall and as the etched steps increase, or indeed the aspect ratio increases, there can be bowing or re-entrant notching in the profile. The prior art documents describe the deposition of CF_x passivation layers.

The Applicant proposes a series of improvements to such processes to enable the formation of more smooth walled formations and particularly better quality deep and/or high aspect ratio formations. For convenience the description will therefore be divided into sections.

1. Passivation

As has been mentioned above previous proposals deposit a passivation layer of the form CF_x . The Applicants propose passivating the sidewalls with carbon or hydrocarbon layers which will provide significantly higher bond energies, particularly if deposited under high self-bias so that the graphitic phase is at least partially removed.

If these films or layers are also desirably deposited at high self biases eg. 20eV upwards and preferably over 100 eV, there is an additional significant advantage when it comes to high aspect ratio formations, because the high self-bias ensures that the transport of the depositing material down to the base of the formation being etched is enhanced to prevent re-entrant sidewall etching. This transportation effect can also be improved by progressively reducing the chamber pressure and/or increasing the gas flow rate, so as to reduce the residence time. In some arrangements it may be desirable to drive the deposition to such an extent that a positively tapered, or v-shaped formation is achieved. In the particular case of shallow ($<20\mu m$) high aspect ratio trenches, the feature opening size (or critical dimension) can be in the $<0.5\mu m$ range.

The hydrocarbon (H-C) films formed by this passivation have significant advantages over the prior art fluorocarbon films.

The H-C films can for example be readily removed after etching processing has been completed by dry ashing (oxygen plasma) treatment. This can be particularly important in

the formation of MEMS (micro-electro-mechanical systems) where wet processing can result in sticking of resonant structures which are separated by high aspect trenches. In other applications, eg. optical or biomedical devices, it can be essential to remove completely the side wall layer.

The H-C films may be deposited from a wide range of H-C precursors (eg. CH₄, C₂H₄, C₃H₆, C₄H₈, C₂H₂, etc. including high molecular weight aromatic H-C's). These may be mixed with noble gases and/or H₂. An oxygen source gas can also be added (eg CO, CO₂, O₂, etc.) can be used to control the phase balance of the film during deposition. The oxygen will tend to remove the graphitic phase (sp^2) of the carbon leaving the harder (sp^3) phase. Thus, the proportion of oxygen present will affect the characteristics of the film or layer, which is finally deposited.

As has been mentioned above H₂ can be mixed in with the H-C precursor. H₂ will preferentially etch silicon and if the proportions are correctly selected, it is possible to achieve side wall passivation, whilst continuing the etching of the base of the hole during passivation phase.

The preferred procedure for this is to mix the selected H-C precursor (eg. CH₄) with H₂ and process a mask patterned silicon surface with the mixture in the apparatus, which is to be used for the proposed etch procedure. The silicon etch rate is plotted as a function of CH₄ concentration in H₂ and an example of such a plot is shown in Figure 4. It will be noted that the etch rate increases from an initial steady state with increasing percentage of CH₄ to a peak before

decreasing to zero.

It is believed the graph illustrates the following mechanisms taking place. In the initial steady state portion the etch is essentially dominated by the action of H₂ to form SiHx reaction products. At around 10% of CH₄ in H₂, the CH₄ etching of the substrate becomes significant (by forming Si(CHx)y products) and the etch rate increases. Deposition of a hydrocarbon layer is taking place throughout although due to the etching there is no net deposition on this part of the graph. Eventually, the deposition begins to dominate the etching process until at around 38% for CH₄, net deposition occurs.

It has been determined that these varying characteristics can be utilised in two different ways. If high self bias or there is high mean ion energy, e.g. >100ev, the layer or coating laid down is relatively hard because the reduced graphitic phase and the process can be operated in the rising portion of the etch rate graph, because the coating is much more resistant to etching, than the silicon substrate. It is thus possible to etch the silicon throughout the deposition phase. Selectivities exceeding 100:1 to mask or resist are readily achieved. It should particularly be noted that, whilst there is a significant removal of the graphitic phase due to ion bombardment of the mask 22, the high directionality of the ions means that the side wall coating is relatively untouched.

The process can also be operated at low mean ion energies either with a H-C precursor alone or with H₂,

dilution. In that latter case it is preferred that the process is operated in the descending part of the etch graph. ie. for CH₄ at a percentage >18% but <38% when net deposition occurs. Typically the range for CH₄ would be 18% to 30%.

The low values of mean ion energy during the polymer deposition are believed to be beneficial in allowing high mask selectivities. Under these lower rf bias conditions, the selectivity increase to infinity over a wide passivation deposition window. So if high selectivity is required, the low mean ion energy approach offers advantages. Figure 5 illustrates the step coverage (side wall deposition measured at 50% of the step height versus surface deposition) for H-C films using CH₄ and H₂ under a range of conditions including the two embodiments described above. Figure 5 shows that high ion energies increase the step coverage, but even with low bias conditions, there is sufficient passivation to protect against lateral etching. Further, in this latter case the higher deposition rate serves further to enhance the mask selectivity. The deposition rate at low ion energies is a factor of two greater over the 100ev case.

It will thus be appreciated that by using these techniques the user can essentially select the combination of etch rate and selectivity, which most suits his proposed structure. Further the enhancement of mask selectivity can be used to either increase the etch rate and/or reduce the notching.

Figure 6 illustrates how various parameters of the

process may be synchronised. 6d shows continuous and unchanging coil power, whilst at 6e the coil power is switched to enhance the etch or deposition step and the power during etch may be different to that selected for deposition depending on the process performance required. 6e, by way of example, illustrates a higher coil power during deposition.

6f to i show similar variations in bias power. 6f has a high bias power during etch to allow ease of removal of the passivation film, whilst 6g illustrates the use of an initial higher power pulse to enhance this removal process, whilst maintaining the mean ion energy lower, with resultant selectivity benefits. 6h is a combination of 6f and 6g for when the higher ion energies are required during etching (eg. with deep trenches). 6i simply shows that bias may be off during deposition.

In some processes, at least, the acceptable segregation period of the gases is determined by the residual partial pressure of gas A (Ppa) which can be tolerated in the partial pressure of gas B (Ppb). This minimum value of Ppa in Ppb is established from the characteristic process rate (etch or deposition) as a function of $P_{pa}/(P_{pa} + P_{pb})$.

In Figure 8, Gas A is 20% $CH_4 + H_2$, whilst gas B is SF_6 . It will be seen that where $P_{pa}/(P_{pa} + P_{pb}) < 5\%$, the process rate is substantially steady state. For typical practical conditions a pump out time of less than 1.5 seconds will suffice and a plasma can be maintained for over 65% of the total cycle time where the process steps are of the order of

2 to 3 secs and over 80% when the steps are over 5 seconds long. A suitable synchronisation arrangement is shown in Figure 7. It will be noted that the etch precedes the pump out as it is desirable to prevent a mixing of the deposition and etch step gases. Prior art proposals (eg. U.S.A. 4985114) propose switching off or reducing deposition gas flow for a long period before the plasma is switched on. This can mean that the plasma power is on only for a small portion of the total cycle times leading to a significant reduction in etch rate. The Applicants propose that the chamber should be pumped out between at least some of the gas changeovers, but care must be taken to maintain pressure and gas flow stabilisation. Preferably high response speed mass flow controllers (rise times <100ms) and automatic pressure controllers (angle change and stabilise in <300 ms) are used.

The Applicants have established (see Figure 8) that the pump out time period necessary to avoid the etch being compromised by the deposition gases. However pump out could precede the etch step or both etch and deposition step depending on the precise process being run. Pump out also reduces micro-loading (which is described in USA 4985114) and is beneficial high aspect ratio etching as described below.

Many of the parameters, which are varied can be 'ramped' as general illustrated in Figure 9(ii). This means that they progressively increase or decrease cycle by cycle in amplitude or period, rather than changing abruptly

between cycles. In the case of the pump out, ramping can be used to allow mixing at the start of the process allowing sidewall notching to be reduced or eliminated as discussed below.

Typical process parameters are as follows:

1. Deposition step

CH₄ step time: 2-15 seconds ; 4-6 seconds preferred

H₂ step time: 2-15 seconds ; 4-6 seconds preferred

Coil rf power: 600W-1kW ; 800W preferred

Bias rf power: High mean ion energy case: 500W-300W-100W preferred

Low mean ion energy case: 0W-30W-10W preferred

Pressure: 2 mTorr-50 mTorr; 20 mTorr preferred

2. Etch Step

SF₆ step time: 2-15 seconds ; 4-6 seconds preferred

Coil rf power: 600W-1kW - 800W preferred

Bias rf power: High mean ion energy case: 50W-300W; 150W preferred

Low mean ion energy case: 0W-30W;15W preferred

Pressure: 2 mTorr-50 mTorr; 30 mTorr preferred.

2. Etch/Deposition Relationship

The Applicant has determined that the prior art

approaches are essentially too simplistic, because they neither allow for changing conditions during a particular process nor for the different requirements or different types of formation. Further the prior art does not address the difficulties of deep etching.

Thus contrary to the teaching of WO-A-94114187 the Applicant believes that it will often be beneficial to overlap the etch and passivation or deposition steps so that the surface wall roughness indicated in Figure 2 can be significantly reduced. The Applicant has also established that surprisingly the rigid sequential square wave stepping which has previously been used is far from ideal. In many instances, it will be desirable to use smooth transitions between the stages, particularly where overlap occurs, when reduction of the etch rate is acceptable. Thus one preferred arrangement is for the gas flow rates of the etch and deposition gases to vary with time in a sinusoidal manner the two "wave forms" being out of phase, preferably by close to 90°. As the sidewall roughness is essentially a manifestation of the enhanced lateral etch component, it can be reduced by limiting this component of the etch. The desired effect can be obtained in one of a number of ways: partially mixing the passivation and etch steps (overlapping); minimising the etch (and hence corresponding passivation) duration; reducing the etch product volatility by reducing the wafer temperature; adding passivation component to the etch gas e.g. SF₆ with added O, N, C, CF₃, CH₃, or replacing the etch gas with one of lower reactive

species liberating gas such as SF₆, replaced by CF_x etc.

The Applicant has also appreciated that changes in the levels of etching and deposition are desirable at different stages within the process. The Applicants propose that the first cycle or the first few cycles should have an enhanced deposition by increasing the period of deposition, the deposition rate, or any other suitable means. Equally or alternatively the etch rate or time can be reduced.

As has briefly been indicated before, it also can become progressively more difficult to deposit material as the formation or trench gets deeper and/or the aspect ratio increases. By controlling the amplitude of one or more of the gas flow rates, chamber pressure, plasma power, biasing power, cycle time, substrate etching/deposition ratio, the system can be tuned in an appropriate manner to achieve good anisotropic etching with proper sidewall passivation.

These and related techniques can be utilised to overcome a number of problems in the etch profile:

a. Sidewall Notching

The 'sidewall notching' problem is particularly sensitive to the exposed silicon area (worse at low exposed areas <30%) and is also correspondingly worse at high silicon mean etch rates. The Applicants believe such notching to be caused by a relatively high concentration of etch species, during the initial etch/deposition cycles. Therefore the solutions adopted by the Applicants are to either enhance the passivation or quench etch species during the first cycles. The latter can be achieved either by

process adjustment (ramping one of more of the parameters) or by placing a material within the reactor which will consume (by chemical reaction) the etch species, such as Si, Ti, W etc. reacting with the F etchant. Such chemical loading has the drawback of reducing the mean etch rate, as the quenching is only necessary for the first few etch steps. Thus, process adjustment solutions are considered superior.

It is desirable to reduce/eliminate the sidewall notching without compromising or degrading any of the other aspects of the etch, such as etch rate, profile control, selectivity etc. Investigations by the Applicants have shown the approach of 'reducing the etch species concentration at the start of etch' is best controlled by beginning with process with:

- a. fluorine scavenging gas introduction or
- b. low coil power or
- c. low etch cycle time (step duration) or
- d. low etch gas flow or
- e. an increase of the corresponding parameters a to d above during the passivation cycle
- f. a combination of the above.

followed by increasing the respective parameter(s) to normal pre-optimised etch conditions such as are illustrated in Figure 6. The increase can either be abrupt (that is using say a step change in the a to f parameters) or ramped. The

results of these two approaches are now presented, in comparison to the teachings of the prior art.

The nature of the problem (resulting from directly applying the prior art) during a silicon trench etch is shown in Figure 3 schematically and in the SEM's (scanning electron micrographs) shown in Figure 10 and 11. These Figures show that for a $1.7\mu\text{m}$ initial trench opening the CD loss is $1.2\mu\text{m}$ (70%), whilst the notch width is up to $0.37\mu\text{m}$. Such values of CD loss are unacceptable for the majority of applications.

However by using the Applicants method (eg. a.to f.), of varying the process parameters during the initial cyclic etch process, the notched sidewall can be modified. If abrupt steps are used to vary the process parameters, abrupt transitions are produced in the sidewall profiles. The SEMs in Figures 12 and 13 illustrate this for different process parameters. In Figure 12, the transition in the process parameters is clearly marked as an abrupt transition in the sidewall profile at the point of parameter change (after $8.5\mu\text{m}$ etch depth). (Note that the sidewall notches have been eliminated.) Figure 13 illustrates yet another process parameter abrupt/step change. Here the sidewall passivation is high enough to result in a positive profile (and no notching) for the first $2\mu\text{m}$. When the reduced passivation conditions are applied, it is characterised by the transition in sidewall angle and reappearance of the notching.

By using the 'ramped' parameter approach, the notching

can be eliminated, as well as producing a smooth sidewall profile without any abrupt transition, see the SEM in Figure 14. This shows a $22\mu\text{m}$ deep trench etch, with a smooth positive profile and no CD loss, whilst maintaining etch rate comparable to the non-ramped high underact process. The process conditions used in this case are given in Figure 19a.

b. Profile control during deep high aspect ratio etching

The teachings of the prior art are limited where high aspect ratio ($>10:1$) etching is required. Whilst the limitations and solutions are discussed here for relatively deep etching ($>200\mu\text{m}$), there is equal relevance for shallow high aspect ratio etching, even for very low values of CD, such as $<0.5\mu\text{m}$.

One of the basic mechanisms, that distinguishes high aspect ratio etching, is the diffusion of the etching (and passivation) reactive precursors as well as etch products. This species transport phenomenon was investigated for the passivation step. The results show clearly that the transport of sidewall passivation species to the base of deep trenches is improved at low pressure. Increasing platen power also improves this, see Figure 15. The graph illustrates the improved passivation towards the base of the trench as the pressure decreases and the rf bias power increases. This data was obtained by firstly etching $200\mu\text{m}$ deep trenches, then using the passivation step only and measuring the variation of sidewall passivation with depth using an SEM. This supports the variation of passivation

with etch depth, and further supports the suggestion that the optimum process conditions vary with etch depth.

The limitations of applying the prior art for such a high aspect ratio process is shown by the SEM in figure 16. It should be noted that this relatively high passivation to etch ratio fixed parameter process still does result in initial sidewall notching, but the SEM magnification is not sufficiently high to show this for the 10 μm CD, 230 μm deep trench etch. From the trends shown in Figure 15, the profile can be somewhat improved by operating at under the desired high bias rf power and low pressure conditions. However as a fixed parameter process, the high bias and low pressure conditions significantly degrades the mask selectivity (from >100:1 to <20:1) as the ion energy is increased. Using an abrupt parameter variation results in a corresponding abrupt sidewall change, as shown by the SEM in Figure 17. Ramping the following parameters: increasing platen power, decreasing pressure, increasing cycle times and gas flows; does produce the desired results whilst maintaining reasonably high selectivities >75:1, see Figure 18. Here the SEM shows a 295 μm deep, 12 μm CD trench etch (25:1 aspect ratio). The process conditions used in this case are given in Figure 19b.

Figure 20 illustrates a synchronisation between deposition and etch gases which have been used for the initial cycles to reduce side wall notching. Typical operating conditions are given in Figure 19a and its associated SEM in Figure 14. Figure 21 illustrates a

synchronisation reference to using a scavenger gas with method (a) of side wall notch reduction technique. The dotted line indicates the alternative of the scavenger gas flow rate being decreasingly ramped.

Figure 9i shows a synchronisation for achieving a deep high aspect ratio anisotropic etch although the ramping technique shown can also be used for side wall notch reduction. The conditions of Figure 19b can be used to achieve the results shown in Figure 18.

Returning to Figure 9i:

1. Shows an average pressure ramp. Note the pressure changes from low to high as the cycle changes from deposition to etch respectively. The ramp down of pressure then results in the pressure decreasing for both etch and passivation cycles.

2. This shows a rf bias power ramp. Note the bias change from low to high as the cycle changes from deposition to etch respectively. This is in synchronisation with the pressure change discussed above. The ramp up of bias refers to the deposition step only in this case.

3. This shows another example of a rf bias power ramp. Again the bias changes from low to high as the cycle changes from deposition to etch respectively, in synchronisation to the pressure. The ramp up of bias refers to both the deposition step and etch step in this case.

In Figure 9ii general parameter ramping is illustrated. These examples serve to illustrate cycle time and step time ramping respectively.

4. This shows a cycle time ramp, where the magnitude of the parameter (such as gas flow rates, pressure, rf powers, etc) is not ramped. In some applications this would serve as an alternative to the 'magnitude' ramping in the above cases.

5. This shows a cycle time ramp, where the magnitude of the parameter (such as gas flow rates, pressure, rf powers, etc.) is ramped in addition. Note, the parameter ramp may be increasing or decreasing in magnitude, and the decrease may be to either zero or a non-zero value.

3. Etch Gases

Whilst any suitable etch gases may be used, the Applicant has found that certain gases or mixture can be beneficial.

Thus, it has been suggested in WO-A-94114187 that it is undesirable to have any passivating gas in the etch stage, because it affects the process rate. However, the Applicant has determined, that this procedure can significantly improve the quality of the sidewall trenches formed and it is proposed that the etched gas may have added to it such passivating gases as O, N, C, hydrocarbons, hydro-halo carbons and/or halo-carbons. Equally, and for the same purpose, it is desirable to reduce the chemical reactivity of the etched gas and the Applicant proposes using CF_x for example with higher atomic mass halides such as Cl, Br or I. However XeF₂, and other etch gases may be used.

The degree of sidewall roughness can also alternatively

be reduced by limiting the cycle times. For example it has been discovered that it is desirable to limit the etch and deposition periods to less than 7.5 seconds and preferably less than 5 seconds.

4. Gallium Arsenide and other materials

Previous proposals have all related to trench formation in silicon. The Applicant has appreciated that by using suitable passivation, anisotropic etching of Gallium Arsenide and indeed, other etchable material, can be achieved. For example it is proposed that Gallium Arsenide be etched with Cl₂, with or without passivating or etch enhancing gases, but in general it has been determined that this technique is much more successful with the carbon or hydro carbon passivation proposed above. If traditional CF_x chemistry is used etch inhibiting compounds can be created which increase surface roughness or limit the etch. For Gallium Arsenide lower temperatures may be desirable as may be the use of a low pressure, high plasma density reactor. Suitable etch chemistries have already been listed in the preamble to this specification.

4. Brief Description of the Drawings

Figure 1 is a schematic view of a reactor for processing semiconductors;

Figure 2 is a schematic illustration of a trench formed by a prior art method;

Figure 3 is an enlarged view of the mouth of the trench shown in Figure 2;

Figure 4 is a plot of etch rate of silicon against the percentage of CH₄ in H₂;

Figure 5 is a plot of step coverage against the percentage of CH₄ in H₂ for different mean ion energies;

Figure 6 is a diagram illustrating various possible synchronisations between gases and operating parameters of the Figure 1 apparatus;

Figure 7 is a diagram corresponding to Figure 6, but illustrating an alternative operating scenario;

Figure 8 is a plot of the etch rate of silicon against a partial pressure ratio;

Figure 9(i) is a schematic representation of parameter ramping for deep anisotropic profile control whilst 9(ii) illustrates ramping more generally;

Figures 10 and 11 are SEM's of a trench formed in accordance with the prior art, Figure 11 being an enlargement of the mouth of Figure 10;

Figures 12 and 13 are corresponding SEM's for a trench formed by the Applicants' process in which an abrupt transition in process parameters has occurred;

Figure 14 corresponds to Figure 12 except ramped parameters have been utilised;

Figure 15 is a plot of deposition rate against RF Platen Power at a variety of chamber pressures;

Figure 16 is a SEM of a prior art high aspect ratio trench;

Figure 17 is a corresponding SEM using the Applicants' process with abrupt transitions;

Figure 18 is a SEM of a high aspect ratio trench formed by the Applicants' process whilst using ramped transitions.

Figures 19(a) and 19(b) are tables setting out the process conditions used for the trenches shown in Figures 14 and 18 respectively;

Figure 20 is a diagram showing the synchronisation of Deposition and Etch gas during the initial cycles of the Applicants' process; and

Figure 21 is a diagram showing an alternative approach to Figure 20 utilising a scavenger gas.

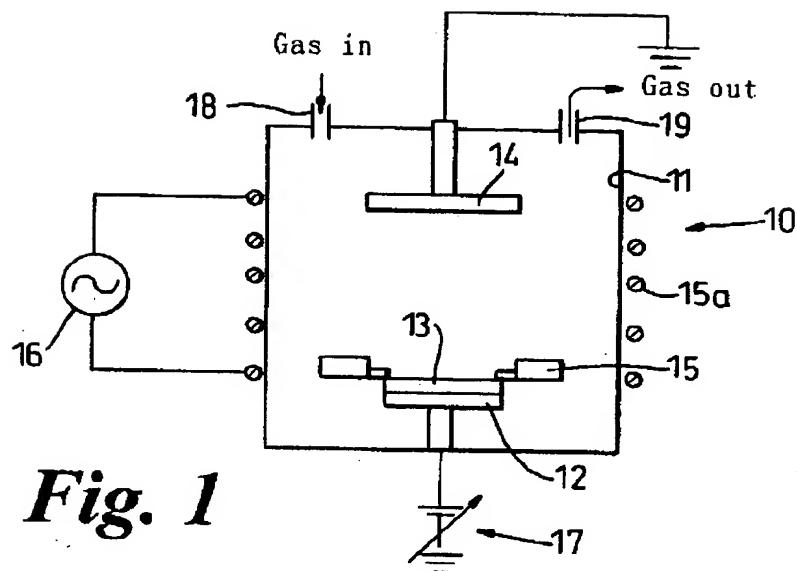


Fig. 1

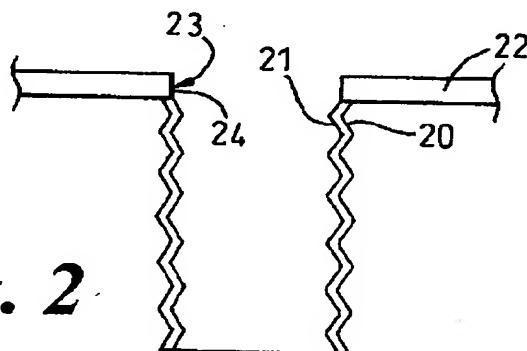


Fig. 2

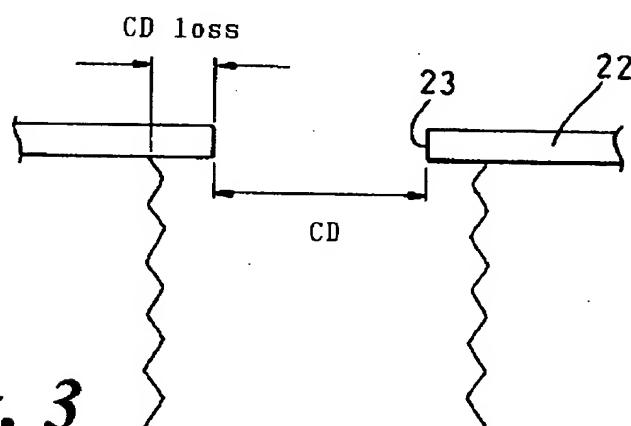


Fig. 3

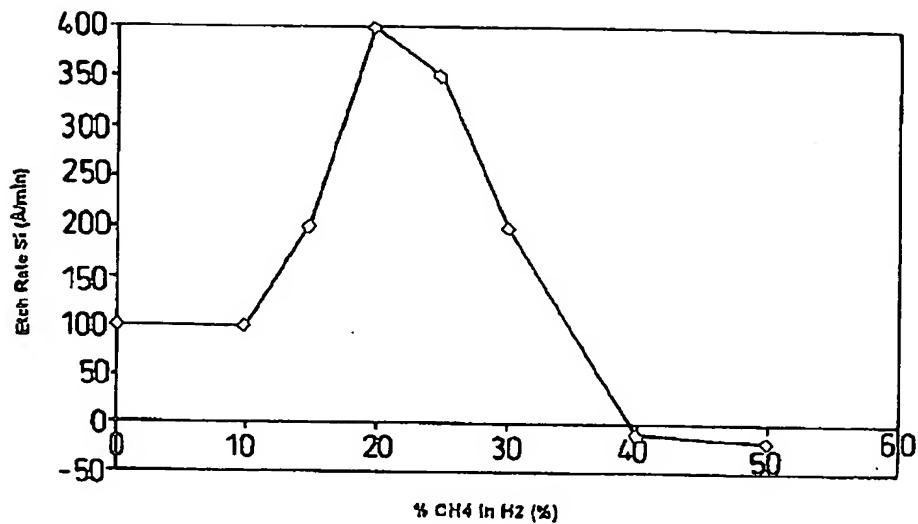


Fig. 4

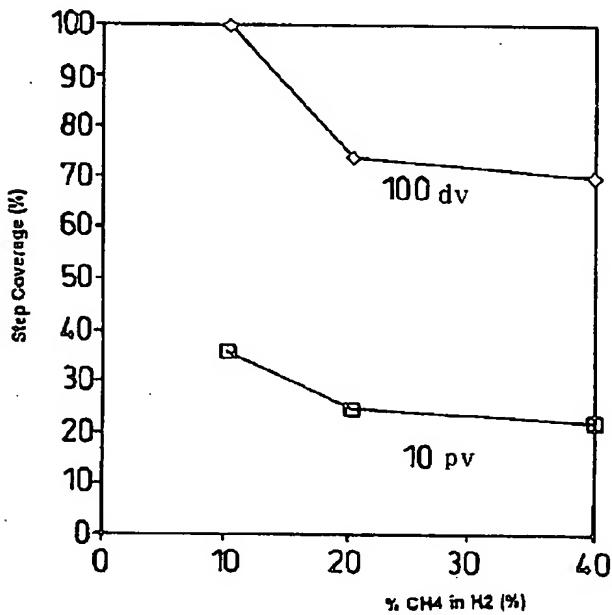
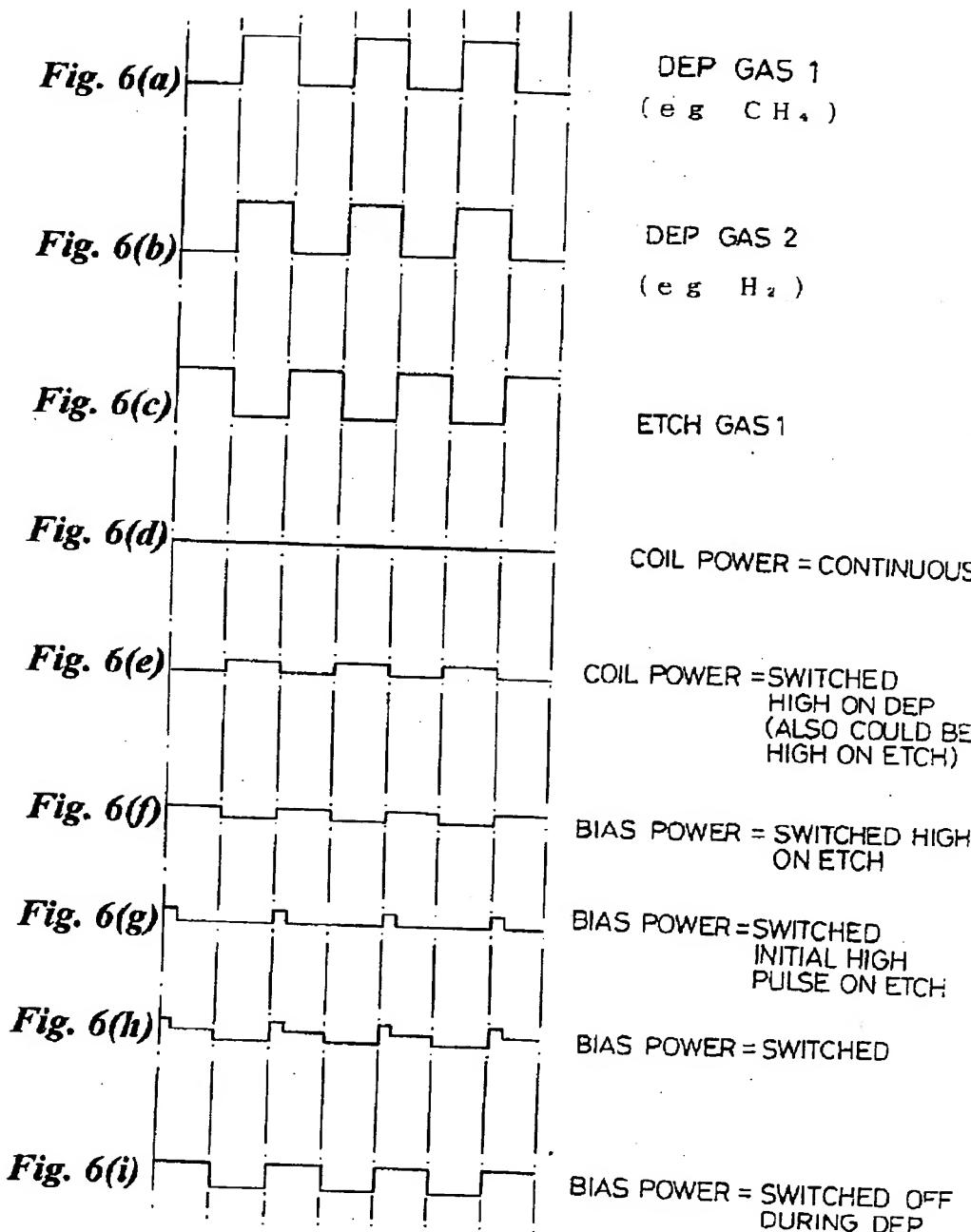


Fig. 5



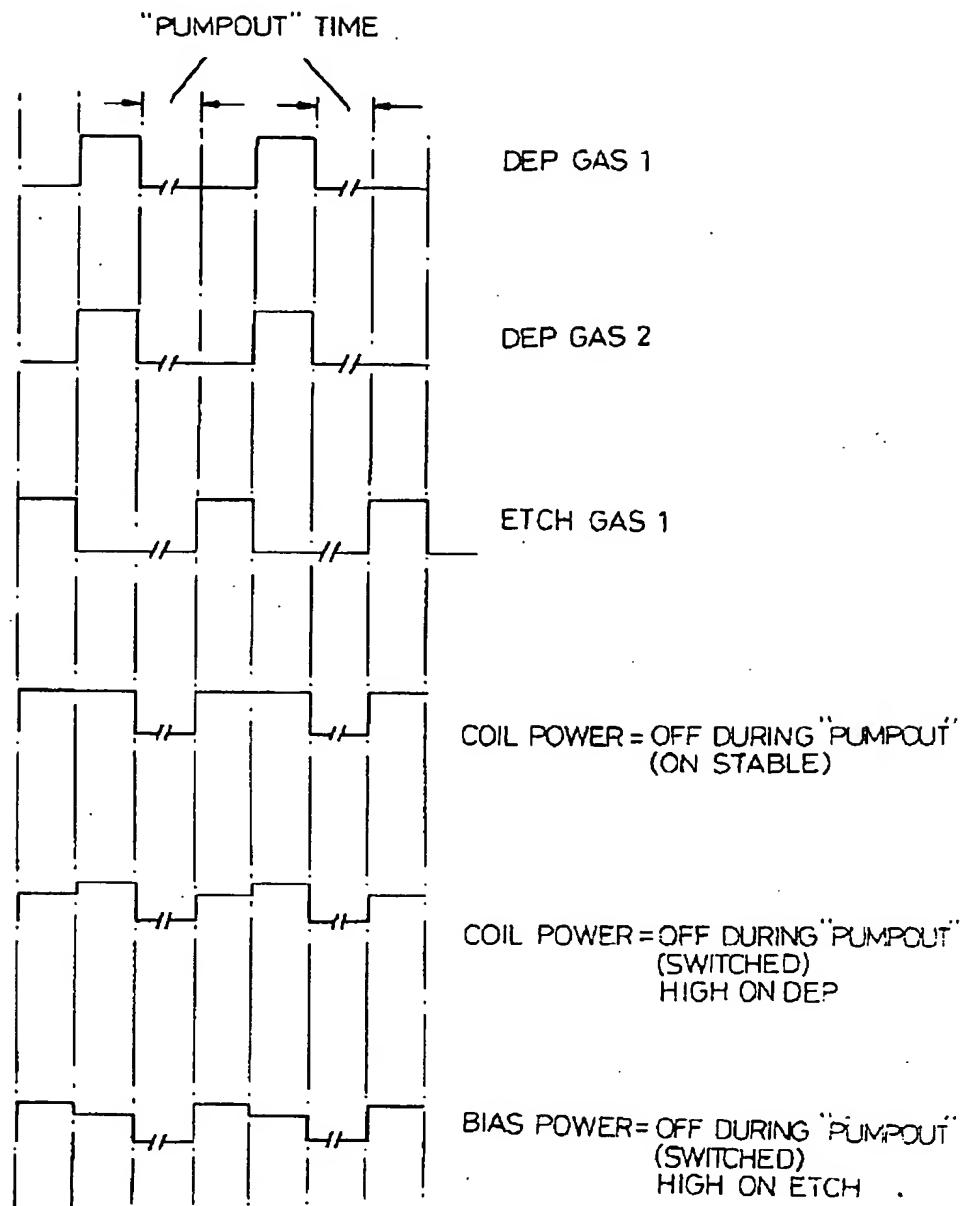


Fig. 7

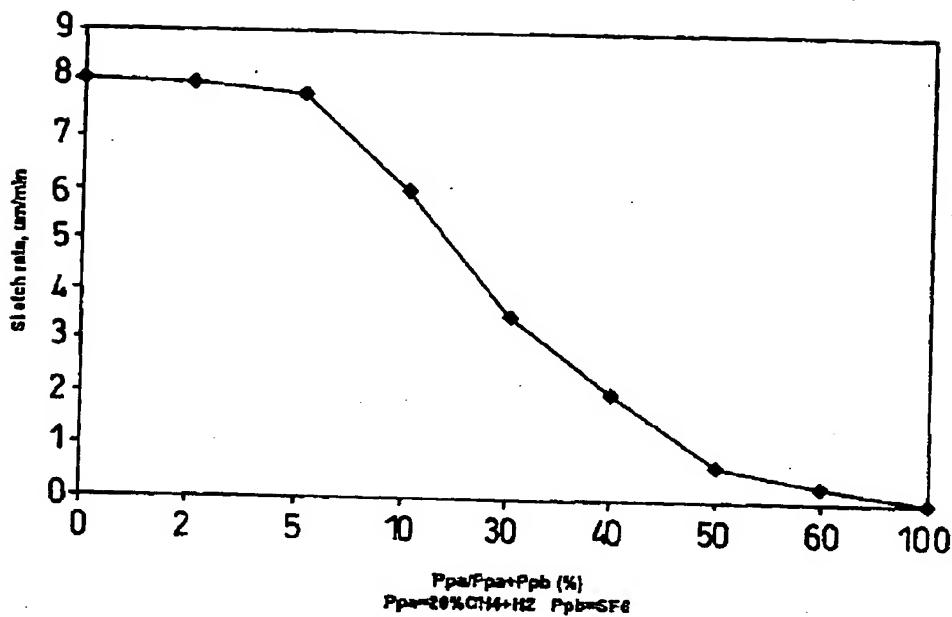
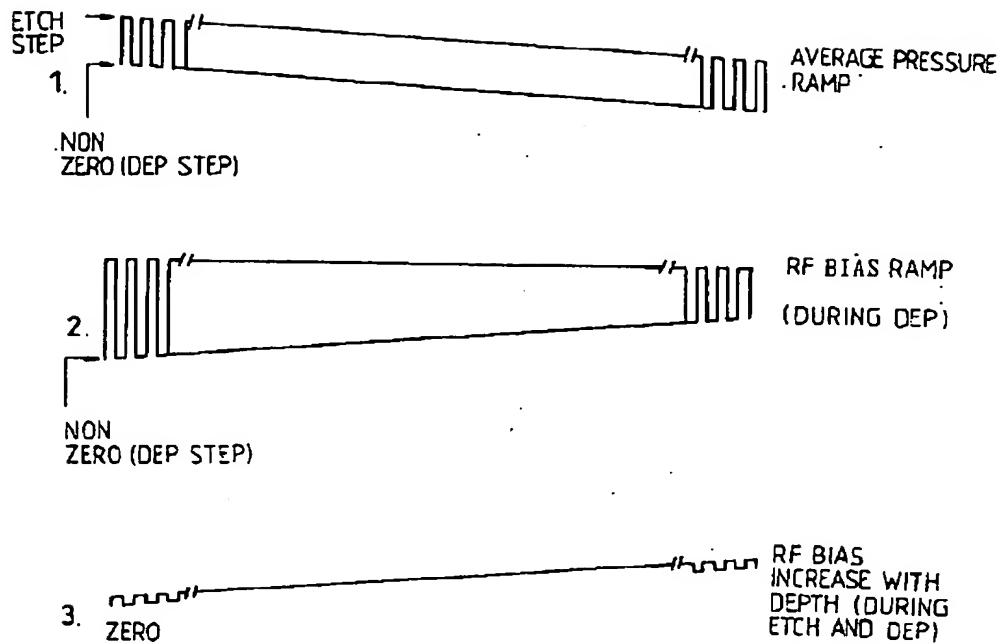
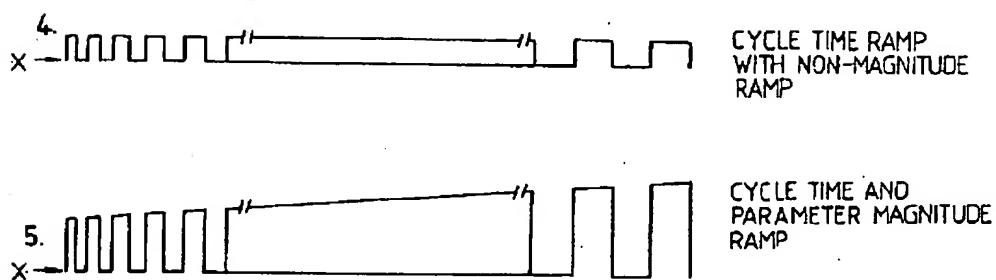


Fig. 8

*Fig. 9(i)**Fig. 9(ii)*

2,18KX 25KV WD:7MM
SUM <SEP>



Fig. 10

7,33KX 25KV WD:7MM S:00000 P:00000
SUM



Fig. 11

2,52KX 25KV WD:10MM S:00000 P:00000
20UM

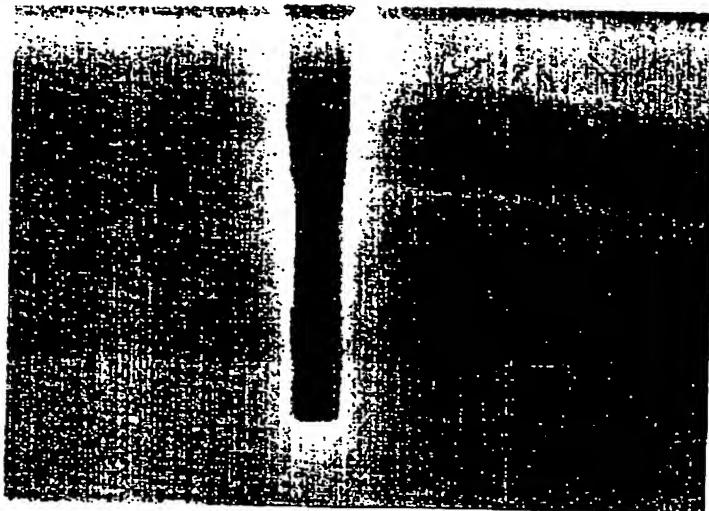


Fig. 12

17,0KX 25KV WD:10MM S:00000 P:00000
20UM

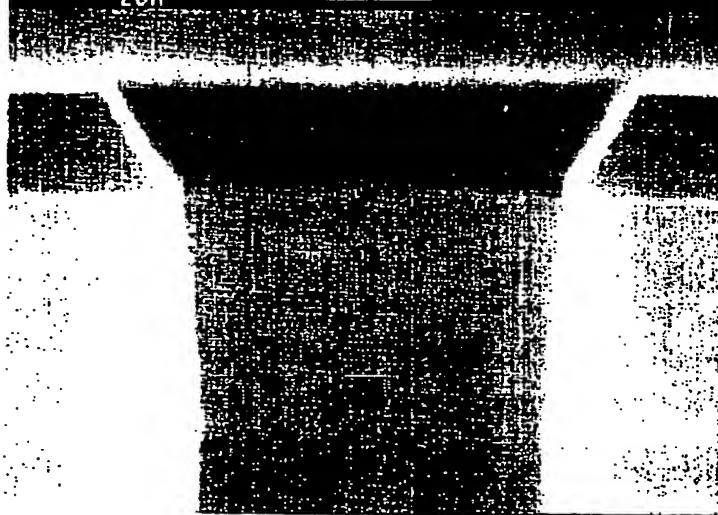


Fig. 13

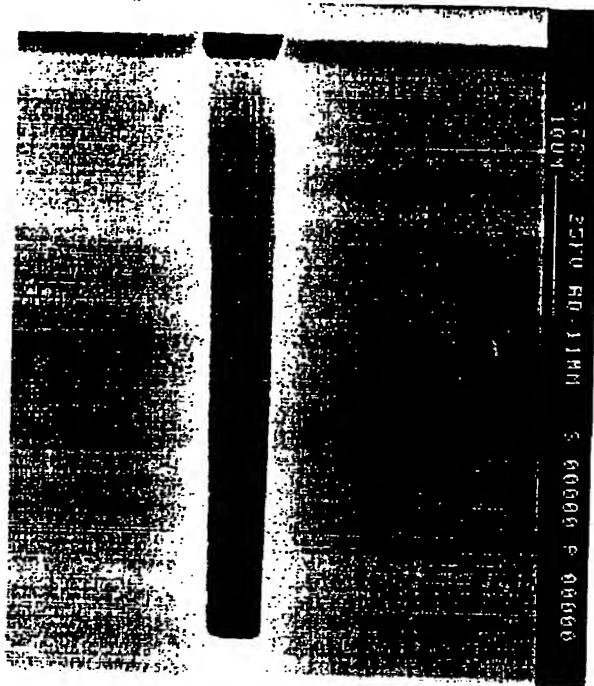


Fig. 14

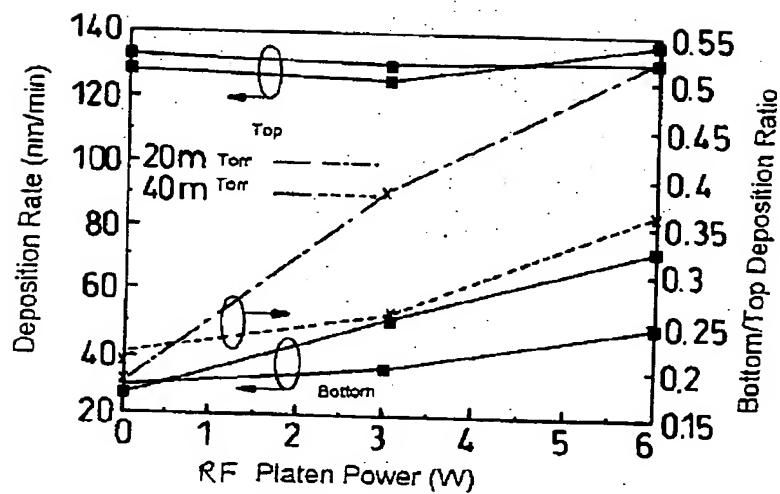


Fig. 15



Fig. 16

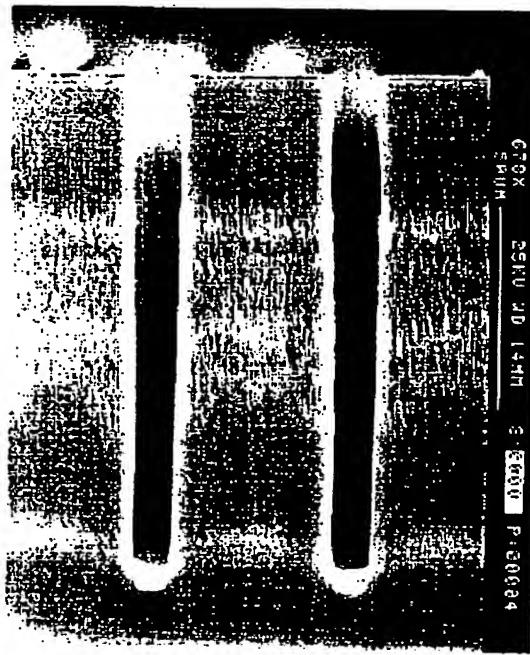


Fig. 17

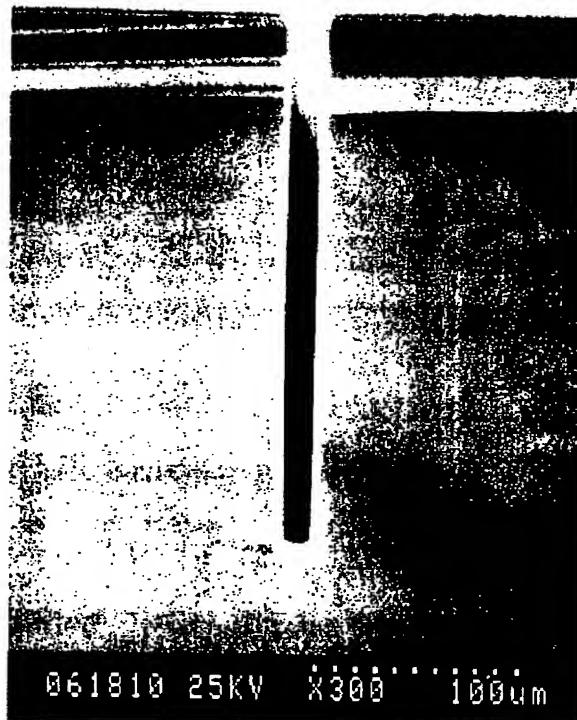


Fig. 18

Fig. 19(a)

Etch Step						Dep Step						Comments		
ERow sec/cm ²	Time min	Pressure Torr	GaP (W)	Platen PW	Time sec	Pressure Torr	GaP (W)	Platen PW	Time sec	Pressure Torr	GaP (W)	Platen PW	Process Time = 10 min's	(Figure 18) (R) = Parameter Ramped
80	12	35	600	10	52	7	20	600	15	0	5	5	Etch Depth ~ 250 μm, Critical Dimension up to 12 μm	

Fig. 19(b)

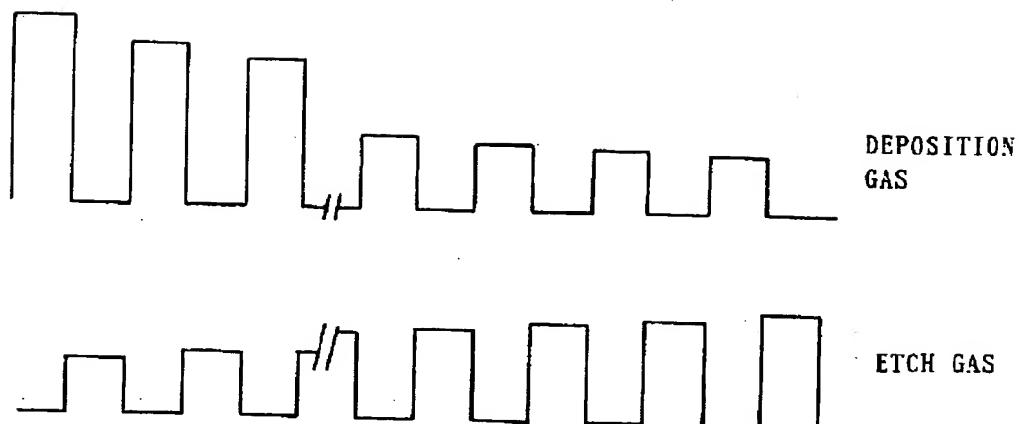


Fig. 20

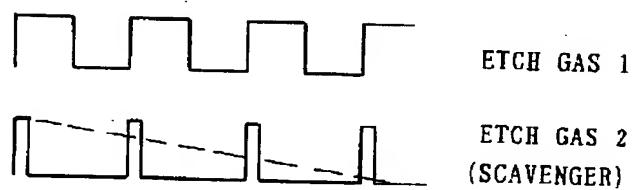
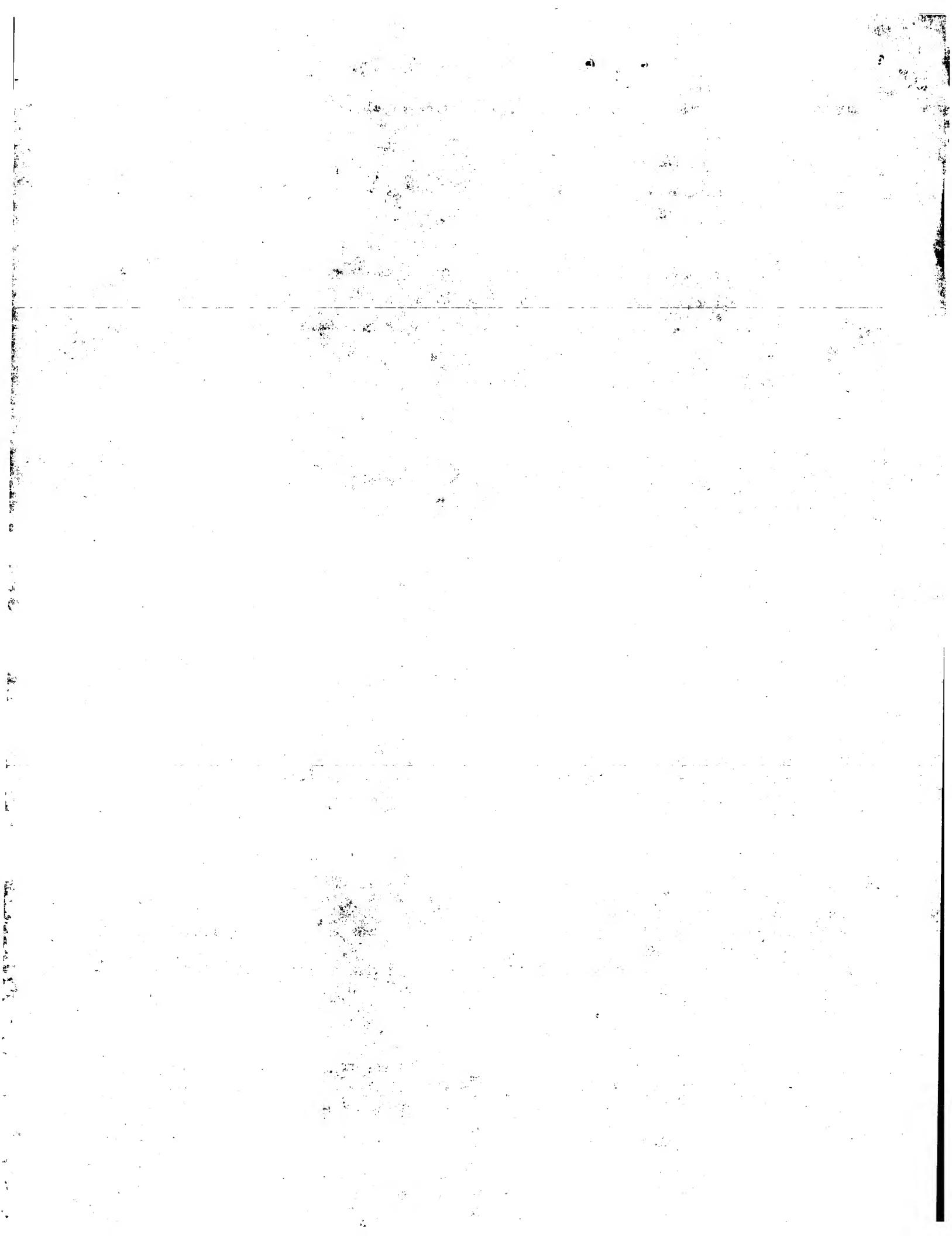


Fig. 21

1. Abstract

This invention relates to methods for treatment of semiconductor substrates and in particular a method of etching a trench in a semiconductor substrate in a reactor chamber using alternatively reactive ion etching and depositing a passivation layer by chemical vapour deposition, wherein one or more of the following parameters: gas flow rates, chamber pressure, plasma power, substrate bias, etch rate, deposition rate, cycle time and etching/deposition ratio vary with time.

2. Representative Drawing**Figure 1**



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成13年11月9日(2001.11.9)

【公開番号】特開平10-135192

【公開日】平成10年5月22日(1998.5.22)

【年通号数】公開特許公報10-1352

【出願番号】特願平9-206672

【国際特許分類第7版】

H01L 21/3065

21/203

21/31

【F I】

H01L 21/302 J

21/203 Z

21/31 C

【手続補正書】

【提出日】平成13年3月29日(2001.3.29)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】半導体基板の表面処理の方法

【特許請求の範囲】

【請求項1】半導体基板に構造部をエッチングする方法であって、反応室内で基板に周期的プロセスを実施し、該周期的プロセスが複数の繰り返しサイクルから成り、該プロセスサイクルのそれぞれが反応性イオンエッティングから成る第一のプロセスと化学蒸着による不動態層の蒸着から成る第二のプロセスとを含み、

前記周期的プロセスの複数のパラメータのうち少なくとも一つを、プロセスサイクルからプロセスサイクルへと時間とともに変化させ、前記複数のパラメータが、ガス流量、室圧力、プラズマパワー、基板バイアス、エッチング速度、蒸着速度、プロセスサイクル時間、および各サイクルにおけるエッティング/蒸着比を含む、ことから成ることを特徴とする方法。

【請求項2】前記複数のパラメータのうち前記少なくとも一つに周期的变化が与えられることを特徴とする請求項1に記載の方法。

【請求項3】前記周期的变化が正弦波形、矩形波形、および鋸歯状波形のうち少なくとも一つに対応することを特徴とする請求項2に記載の方法。

【請求項4】前記複数のパラメータのうち前記少なくとも一つに傾斜变化が与えられることを特徴とする請求項

1または2に記載の方法。

【請求項5】各サイクルの前記第一のプロセスと前記第二のプロセスとが重なることを特徴とする請求項1に記載の方法。

【請求項6】各サイクルの前記第一のプロセスおよび前記第二のプロセスで使用されるガスが混合されることを特徴とする請求項1に記載の方法。

【請求項7】さらに、各々の第一および第二の時間間隔のうち少なくとも一つにおいて前記室をポンプ排気することを含み、前記第一の時間間隔がそれぞれの前記第一のプロセスと前記第二のプロセスとの間にあり、前記第二の時間間隔がそれぞれの前期第二のプロセスと前期第一のプロセスとの間にあることを特徴とする請求項1に記載の方法。

【請求項8】前記ポンプ排気を、

【数1】

P_a

< x

P_a + P_b

となるまで継続し、この式において、

P_aが先行プロセスで使用された第一のガスの分圧であり、

P_bが後続プロセスで使用される第二のガスの分圧であり、

xが、第一のガスが関与する先行プロセスのプロセス速度が実質的定常状態から低下する割合である、ことを特徴とする請求項7に記載の方法。

【請求項9】さらに、各サイクルの1つのプロセスにおいて、前記パラメータのうち少なくとも一つを変化させることを含むことを特徴とする請求項1に記載の方

法。

【請求項10】少なくとも最初のサイクルにおいて、エッティング速度が低下させられるか、または蒸着速度が増大させられることを特徴とする請求項1に記載の方法。

【請求項11】エッティング速度が、掃気ガスの導入、プラズマパワーの低下、サイクル時間の短縮、ガス流量の減少、および室圧力の変化、のうち少なくとも一つによって減少させられることを特徴とする請求項10に記載の方法。

【請求項12】蒸着速度が、プラズマパワーの増大、サイクル時間の増大、ガス流量の増大、蒸着種密度の増大、および室圧力の変化、のうち少なくとも一つによって増大させられることを特徴とする請求項10または11に記載の方法。

【請求項13】室圧力が構造部深さの関数として低下させられることを特徴とする請求項1に記載の方法。

【請求項14】基板バイアスが構造部深さの関数として増大させられることを特徴とする請求項1に記載の方法。

【請求項15】エッティングに先立って、開口部を有するマスクを蒸着することを含むことを特徴とする請求項1に記載の方法。

【請求項16】前記マスクが、炭素または炭化水素層によって強化されるか、または前記マスク自身が炭素または炭化水素層として蒸着されることを特徴とする請求項15に記載の方法。

【請求項17】前記第一および第二のプロセスのうち少なくとも一つが、7、5秒よりも小の継続時間を有することを特徴とする請求項1に記載の方法。

【請求項18】エッティングガスが、 CF_x または XeF_2 であることを特徴とする請求項1に記載の方法。

【請求項19】エッティングガスが少なくとも一つのもっと大きな原子量のハロゲンによるハロゲン化物を含むことを特徴とする請求項1に記載の方法。

【請求項20】蒸着時に、室圧力を低下させること、および流量を増大させることのうち少なくとも一つが実施されることを特徴とする請求項1に記載の方法。

【請求項21】基板を、プラズマによって平衡まで加熱されるように、室内の支持体上に自由な状態で配置することを特徴とする請求項1に記載の方法。

【請求項22】基板を、 $-100^{\circ}C$ と $100^{\circ}C$ の間に保つことを特徴とする請求項1に記載の方法。

【請求項23】基板が、 $GaAs$ 、 GaP 、 GaN 、 $GaSb$ 、 $SiGe$ 、 Ge 、 Mo 、 W 、または Ta であることを特徴とする請求項1に記載の方法。

【請求項24】前記第一のプロセスにおいて、 C_{l_2} 、 BCl_3 、 $SiCl_4$ 、 $SiCl_2H_2$ 、 CH_xCl_y 、 C_xCl_y 、 CH_x から成るグループから選択される少なくとも一つの物質から成るエッティングガス

を、 H または不活性ガスとともに、またはこれなしで使用し、ここで x および y がそれぞれ整数であることを特徴とする請求項23に記載の方法。

【請求項25】前記第二のプロセスにおいて、 CH_x 、 H_2 、 CH_x 、 CH_xCl_1 、または C_xCl_1 から成るグループから選択される少なくとも一つの物質から成る蒸気ガスを、 H または不活性ガスとともに、またはこれなしで使用し、ここで x および y がそれぞれ整数であることを特徴とする請求項24に記載の方法。

【請求項26】前記第二のプロセスにおいて、 O 、 N 、または F 元素を含む蒸着ガス、または該ガスを H_2 と混合した蒸着ガスを使用することを特徴とする請求項1に記載の方法。

【請求項27】第二のプロセスにおいて、炭素または炭化水素層を蒸着するための炭化水素ガスを含む蒸着ガスを使用することを特徴とする請求項1に記載の方法。

【請求項28】前記蒸着層が窒素またはフッ素ドープのものであることを特徴とする請求項27に記載の方法。

【請求項29】半導体基板に構造部をエッティングする方法であって、反応室内で基板に周期的プロセスを実施し、該周期的プロセスが複数の継起プロセスサイクルから成り、該継起プロセスサイクルのそれぞれが反応性イオンエッティングから成る第一のプロセスと化学蒸着による不導電層の蒸着から成る第二のプロセスとを含み、

前記周期的プロセスの少なくとも最初のプロセスサイクルの前記第二のプロセスの蒸着速度を、前記周期的プロセスの後続プロセスサイクルの前記第二のプロセスの蒸着速度に比して、大きくする、ことから成ることを特徴とする方法。

【請求項30】半導体基板に構造部をエッティングする方法であって、反応室内で基板に周期的プロセスを実施し、該周期的プロセスが複数の継起プロセスサイクルから成り、該継起プロセスサイクルのそれぞれが反応性イオンエッティングから成る第一のプロセスと化学蒸着による不導電層の蒸着から成る第二のプロセスとを含み、

前記周期的プロセスの少なくとも最初のプロセスサイクルの前記第一のプロセスのエッティング速度を、前記周期的プロセスの後続プロセスサイクルの前記第一のプロセスのエッティング速度に比して、小さくする、ことを特徴とする方法。

【請求項31】半導体基板に構造部をエッティングする方法であって、

反応室内で基板に周期的プロセスを実施し、該周期的プロセスが複数の継起プロセスサイクルから成り、該継起プロセスサイクルのそれぞれが反応性イオンエッティングから成る第一のプロセスと化学蒸着による不導電層の蒸着から成る第二のプロセスとを含み、

前記周期的プロセスの少なくとも最初のプロセスサイクルの前記第二のプロセスの蒸着速度を、前記周期的プロセスの後続プロセスサイクルの前記第二のプロセスの蒸着速度に比して、大きくし、また、前記周期的プロセスの少なくとも最初のプロセスサイクルの前記第一のプロセスのエッティング速度を、前記周期的プロセスの後続プロセスサイクルの前記第一のプロセスのエッティング速度に比して、小さくする、ことから成ることを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板の表面処理方法に関し、他の方法を除外するものではないが、特に、エッティングした構造部上に側壁不働態層を蒸着する方法、及び、不働態化の方法を含む、その様な構造部をエッティングする方法に関するものである。

【0002】

【従来の技術】エッティングと蒸着との組み合わせる方法により、シリコンに異方的に細長溝や窪みをエッティングする方法は周知である。その意図は、不働態層を施すことにより形成された細長溝或いは窪みの側壁を保護する一方で、異方性エッティングを行うことである。

【0003】その様な方法は、例えば、引例US-A-4579623、EP-A-0497023、EP-A-0200951、WO-A-94114187、及び、US-A-4985114に見られる。これらすべての引例は、蒸着ガスとエッティングガスとの混合物を使用するか、或いは、エッティングステップと蒸着ステップとの交互に使用するかの何れかについて記載している。ガスを混合するのは非効果的であるというのが一般的な見解である。というのは、前記二つのプロセスは互いにキャンセルする傾向にあるからであり、実際、完全に交互のステップを利用する方へと傾いた偏見が持たれている。

【0004】他の手法は、引例EP-A-0383570、US-A-4943344、及びUS-A-4992136に記載されている。これらすべての引例は、基板を低温に保つことを追求するものであり、まず第一に、多少一般的ではないが、側壁から不要な蒸着物を取り除くために、エッティングをしている間に高エネルギーイオンのバーストを利用する。

【0005】

【発明が解決しようとする課題】半導体製造業界では、さらに大きなアスペクト比の構造部を要求する傾向が継続しており、そのため、構造部の幅が小さくなり、したがってますます、側壁プロファイル及び側壁の表面粗さの重要性が増大している。現在提案されている方法では、現行のプロセスに依存して、形成物に粗い側壁及び／或いは底面が生成され、また、やや曲がっているか、或いは、内曲した側壁形状が生成される傾向にある。

【0006】これら種々の問題の現われ方は、適用例、及びそれぞれのプロセス条件、シリコン露出エリア（マスクされていない基板領域）、エッティング深さ、アスペクト比、側壁プロファイル、及び、基板形状に依存する。

【0007】

【課題を解決するための手段】本発明の方法は、少なくとも幾つかの実施形態においては、これら種々の問題を取り組み、それらの問題を小さくしている。

【0008】一つの側面において、本発明は、反応室内の半導体基板に（反応性イオンエッティング及び化学蒸着による不働態層の蒸着を交互に実施することにより）細長溝のエッティングを行う方法において、次のパラメータ：ガス流量、反応室内圧力、プラズマパワー、基板バイアス、エッティング速度、蒸着速度、サイクル時間、エッティング／蒸着比率、の中で一つ以上のパラメータを時間と共に変化させることを特徴とする方法から成る。前記変化は周期的とすることができる。

【0009】前記エッティングと蒸着のステップは重なってもよいし、また、エッティングと蒸着のガスは混合してもよい。

【0010】前期方法は、エッティングと蒸着との間、及び／或いは、蒸着とエッティングとの間で反応室のポンプ排気を含むことができ、その場合、前期排気は、次式

【0011】

【数2】

$$\frac{P_p a}{P_p a + P_p b} < x$$

【0012】が満足されるまで続行される。上式において、 $P_p a$ は先行ステップにおいて使用されたガス（A）の分圧を、 $P_p b$ は継続ステップにおいて使用されるガス（B）の分圧を、そしてxはガス（A）を伴った処理のプロセス速度が実質的定常状態から低下する割合をそれぞれ表すものである。

【0013】エッティング及び蒸着のガス流量は、連続的に或いは急激に変化させることができる。たとえば、エッティング及び蒸着のガスは、それらの流量が正弦波状かつ位相外となるように供給することができる。これらのパラメータのいずれの大きさも、サイクル内、及び、サイクル間において変化させうる。

【0014】特に好ましくは、少なくとも第1サイクルの間において、また適当な条件下では、さらに、たとえば第2から第4サイクルまでの最初の数サイクルの間ににおいて、蒸着速度を増加させ、かつ／或いは、エッティング速度を減少させる。

【0015】エッティング速度は、下記：

- (a) 掃気ガスの導入
- (b) プラズマパワーの減少
- (c) サイクル時間の短縮
- (d) ガス流量の減少
- (e) 反応室内圧力の変化

の中の一つ以上によって減少させることができる。

【0016】蒸着速度は、下記：

- (a) プラズマパワーの増加
- (b) サイクル時間の増加
- (c) ガス流量の増加
- (d) 蒸着種の密度の増加
- (e) 反応室内圧力の変化

の中の一つ以上によって増加させることができる。

【0017】本反応の他の利点は、エッチング及び／或いは蒸着ステップは、表面粗さを低下させるために、7.5秒未満の周期或いはさらに小さく5秒未満の周期を有することができ；エッチングガスはC₂F₆、或いはXeF₆であって、自然発生的なエッチングを減少するために一つ以上の大きな分子量のハロゲン化物を含むことができ；そして、特に、大きな自己バイアス（例えば、電圧>20 eV、或いは、さらに、電圧>100 eV）を伴う浅くて大きなアスペクト比のエッチングのための蒸着を行っている間は、反応室内圧力を低下させ、かつ／或いは流量は増加させることができる、ということにある。

【0018】前記蒸着ステップでは、炭素層或いは炭化水素層を蒸着するために炭化水素蒸着ガスを使用しうる。前記ガスは、O₂、N₂、或いはF原子を含むことができ、蒸着層を窒素或いはフッ素をドープしたものとすることができる。

【0019】背面（back）冷却が問題となる場合には、前記基板を反応室内の支持体上に自由な状態で置くことができる。或いは、基板を固定し、その温度を、たとえば、-100°Cから100°Cの範囲にあるように制御することができる。また、反応室内の温度をウエーハと同じ温度範囲となるように制御し、反応室或いはその装備品への凝縮が減少して底部粗さが減少するようになるのが有利でありうる。

【0020】基板は、GaAs、GaP、GaN、GaS_x、SiGe、Mo、W及びTaの中のいずれかとすることができる、この場合、エッチングガスは、特に好ましくは、H₂或いは不活性ガスを伴うか、或いは、伴なわないCl₂、BCl₃、SiCl₄、SiCl₂H₂、CH₄、Cl₂、C₂Cl₂、CH₂Cl₂中の一つ或いは組合せとすることができます。Cl₂が特に好適である。蒸着ガスは、H₂或いは不活性ガスを伴なうか或いは伴なわないCH₄、CH₂Cl₂中の一つ或いは組合せとすることができます。CH₄或いはCH₂Cl₂が特に好適である。

【0021】本発明は上に定義した通りであるが、それ

は上記或いは下記に開示している特徴のすべての発明の組合せも含むと解釈すべきである。

【0022】

【実施例】本発明、種々のやり方で実施しうる。以下、特定実施形態を、例として、添付図を参照しながら説明する。

【0023】図1は、反応性イオンエッチング及び化学蒸着の両方の使用に適している公知技術での反応室10の概略図である。一般に、真空室11は、半導体ウエーハ13を受ける支持体電極12とそれとはスペースを置いた電極14とを収容している。前記ウエーハ13は、クランプ15によって前記支持体12に対して押しつけられ、一般に、背面冷却手段（図示されていない）により冷却される。

【0024】反応室11は、コイル15aにより囲まれており、反応室11内において電極12と電極14との間にプラズマを誘起するように使用されるRF電源16によって電力供給される。或いは、マイクロ波電源をプラズマ生成に使用することができる。いずれの場合においても、プラズマバイアスを生成する必要があるが、それはRF或いはDCのいずれかとすることが可能、そして、それをプラズマからウエーハ13へと下降するイオンの通路に影響を与えるように支持体電極12に接続することができる。そのような調整可能バイアス手段の一例を17で示す。反応室には、蒸着ガス或いはエッチングガスが取り込まれるためのガス吸入口18、及び、ガス状の工程生成物及び過剰なプロセスガスを除去するための排気口19を設けている。RIE或いはCVDのモードのいずれかにあるそのような反応室の操作については当該分野の技術において良く理解されていることである。

【0025】半導体ウエーハ或いは半導体基板の表面上に、細長溝、エッチング、バイアス、或いは他の形成物をエッチングする場合、通常の実施では、前記基板の部分を露出している開口部を有するフォトレジストマスクを蒸着する。エッチングガスを反応室内に取り込み、そして、可能な限り形成物の側壁のエッチングがないようになるために、エッチング過程が下方向に異方性であることを保証する試みとしていくつかのステップが実施される。種々の理由により、真の異方性エッチングを達成することは実際には困難であり、そして、前記側壁上に不動態材料を蒸着し、その結果、前記材料が犠牲的にエッチングされうるようになるために種々の試みが行われている。現在までに、最も成功しているそのようなシステムは、たぶん、引例WO-A-94114187に記載されているものであり、そのシステムを図2に概略的に示す。前記引例に記載のプロセスでは、順次かつ個別のエッチング及び蒸着ステップを使用するので、最初のエッチングステップの後、側壁が20に示すようにアンダーカットされ、次にこのアンダーカットが蒸着不動態層

21によって保護される。図2から分かるように、この構成は粗い側壁を生成し、そして、エッティングステップ数が増加するか、或いは、実際にアスペクト比が増加した場合、プロファイル内に湾曲或いは凹入したノッチが存在することになりうる。公知技術の引例には、CFx不働態層の蒸着についての記載がある。

【0026】出願人は、より滑らかな壁の形成物、及び、特により質が高く深いまた／或いは高アスペクト比を有する形成物の生成が可能となるように、上記プロセスに対する一連の改良を提案する。便宜のため、いくつかの項目に分けて説明する。

【0027】1. 不働態

既に上で述べたように、従来の提案は、CFxの形の不働態層を蒸着するものである。出願人は、炭素層或いは炭化水素層を用いて側壁を不働態化することを提案する。そしてそれらの層は、相当に高い付着エネルギーを与えるものであるが、それは黒鉛相が少なくとも部分的に除去されるように高い自己バイアスの下で蒸着される場合には特に顕著となる。

【0028】もしこれらの膜或いは層を要望通りに、例えば、20eV以上、好適には100eVを超える高い自己バイアスで蒸着する場合、そしてそれが高いアスペクト比の形成物に対してなされる際にはもう一つの重要な利点を有することとなる。というのは、高い自己バイアスは、凹入側壁エッティングを防止するために、エッティングされる形成物のベースに向う下方向への蒸着材料の輸送を増加させることを保証するからである。この輸送の効果は、滞留時間を減少させるために、徐々に反応室内圧力を減少させるかつ／或いはガス流量を増加させることにより改良できる。構成によっては、明瞭に先細りした形成物或いはV型の形成物の生成が達成されるよう蒸着作業を行うことが望ましい。浅く(<20μm)高いアスペクト比の細長溝に関する特定例では、構造部の開口部サイズ(或いは、臨界寸法)を<0.5μmの範囲内とすることができる。

【0029】この不働態化によって形成された炭化水素(H-C)膜は、公知技術であるフルオロカーボン膜に対して著しい長所を有する。

【0030】例えば、前記H-C膜は、エッティング処理をドライアッティング(酸素プラズマ)処理により終了した後、容易に取り除くことができる。これは、ウエット処理が高いアスペクト比を有する細長溝によって分離されている共振構造の付着を生じうるMEMS(マイクロ・エレクトロ・メカニカルシステム)の形成において特に重要となる。例えば、光学や生物医学分野の装置に関するその他の適用例においては、側壁層を完全に取り除くことは必須である。

【0031】前記H-Cフィルムは、幅広いH-C前駆物質(例えば、高分子量芳香族H-Cを含むCH₄、C₂H₄、C₃H₆、C₄H₈、C₂H₂等)を用いて蒸

着できる。これらは、希ガス及び／或いはH₂と混合できる。酸素発生源ガスも加える(例えば、CO、CO₂、O₂、その他)ことができ、蒸着時にそれをフィルムの相バランスを制御するために利用できる。酸素は、黒鉛相(s p²)の炭素を取り除き固い(s p³)相を残す傾向がある。そのようなわけで、存在する酸素の割合は、最終的に蒸着される膜或いは層の特性に影響する。

【0032】上で述べたように、H₂をH-C前駆物質と混合できる。H₂は優先的にシリコンをエッティングし、そして割合を正しく選択した場合、不働態化段階にある間に孔の底面のエッティングを続行しつつ、側壁不働態化が達成できる。

【0033】このための好ましい手順は、選択したH-C前駆物質(例えば、CH₄)をH₂と混合し、ここで、提案するエッティング手順において使用する装置内で、この混合物質により、マスクパターン形成されたシリコン表面を処理することである。シリコンエッティング速度が、H₂内のCH₄濃度の関数としてプロットされる。そのようなプロットの例を図4に示す。注目すべきことは、エッティング速度は、CH₄の割合の増加と共に、初期の定常状態からピークまで増大し、その後ゼロへと減少する、ということである。

【0034】このグラフは、以下のメカニズムが起こっていることを示していると考えられる。初期の定常状態部分においては、SiHx反応生成物を形成するためのH₂の活動が事実上エッティングを支配している。H₂中に約10%のCH₄が含まれるようになると、基板のCH₄エッティングが(Si(CHx)y生成物を形成することにより)重要となり、そしてエッティング速度が増大する。エッティングのため、グラフのこの部分では正味の蒸着はないが、この間炭化水素層の蒸着が起っている。ついには、この蒸着が、エッティング過程を支配し始め、正味の蒸着が正になるようになる約38%CH₄まで、これが続く。

【0035】これら変化特性を異なる2通りの方法で使用できうることが判明した。もし、高い自己バイアスであるか、或いは、高い平均イオンエネルギーが存在する場合(例えば、100eVを超える)、施した層或いはコーティングは割合に固い。それというのは、コーティングはシリコン基板よりもエッティングに対してずっと強い抵抗力があるため、減少した黒鉛相や過程はエッティング速度グラフの上昇部分において操作されうるからである。そのようなわけで、蒸着段階の全体を通して、シリコンをエッティングすることが可能となる。マスクまたは、レジストに対する100:1を越える選択度を容易に得ることができる。マスク22のイオン衝撃による著しい黒鉛相の除去があるが、イオンの高い指向性は、側壁コーティングが比較的の影響を受けないことを意味している、ということに特に注意すべきである。

【0036】前記プロセスは、また、低平均イオンエネルギーのもとで、H-C前駆物質のみを用いるか或いはH₂希釈を行って、実施することもできる。後者の場合、前記プロセスを、エッティンググラフの下降部分において実施するのが好適である。その部分とは、CH₄が18%より大きく、かつ、ネット蒸着が生じる38%未満の部分である。一般に、その範囲は、CH₄が18%から30%である部分である。

【0037】ポリマー蒸着の間の平均イオンエネルギーの低い値は、高いマスク選択度を許容する利点があると信じられる。これらの低いrfバイアス条件下では、選択度が、広い不働態蒸着窓にわたって非常に大きくなる。よって、もし高い選択度が要求される場合は、低い平均イオンエネルギーの手法が有利となりうる。図5は、上記2実施形態を含む条件範囲の下でCH₄とH₂を使用するH-C膜のためのステップカバレッジ（ステップ高さの50%で測定された側壁蒸着に対する表面蒸着）を示す。図5は、高イオンエネルギーはステップカバレッジを増大させるが、低バイアス条件であったとしても、横方向エッティングの防止に十分な不働態化がなされることを示している。更に、後者の場合、より高い蒸着速度は、更にマスク選択度を増加させる役目を果たす。低イオンエネルギーにおける蒸着速度は、100eVのケースにおけるものの2倍である。

【0038】以上のようなわけで、これらの手法を使用することによって、利用者は、事実上、彼の提案する構造に最も適した、エッティング速度と選択度の組合せを選択できる。更に、エッティング速度を増加するために、かつ／或いは、ノッチ形成を減少させるためにマスク選択度の向上を使用することができる。

【0039】図6は、どのように前記プロセスの種々のパラメータが同期されるかを示している。図6(d)は、連続かつ不变のコイル出力を示し、一方、図6(e)は、前記エッティング或いは蒸着ステップを促進するように、コイル出力を切り替え、そして、エッティングの際の出力は、要求されるプロセス性能に依存する蒸着のために選択される出力とは異なることを示している。図6(e)は、例として、蒸着時のより高いコイル出力を示している。

【0040】図6(f)～(i)は、バイアス出力の同様の変化を示している。図6(f)は、不働態膜の除去を容易にするため、エッティングの間は、高バイアス出力を有しており、一方、図6(g)は、選択度の利点を伴って、平均イオンエネルギーを低く抑えながら、この除去プロセスを助長するための初期高出力パルスの使用を示している。図6(h)は、エッティング（例えば、深い細長溝）の間に、より高いイオンエネルギーを要求する時のために、図6(f)と図6(g)の組合せである。図6(i)は、単に、蒸着の間は、バイアスを切ることができる事を示している。

【0041】プロセスによっては、少なくとも、ガスの許容分離時間が、ガスB(Ppb)の分圧において許容されうるガスA(Ppa)の残留分圧によって決定される。PpbにおけるPpaのこの最小値は、特性プロセス速度（エッティング或いは蒸着）からPpa/(Ppa+Ppb)の関数として決定される。

【0042】図8において、ガスAは20%CH₄+H₂であり、ガスBはSF₆である。Ppa/(Ppa+Ppb) < 5%においては、プロセス速度は、実質的に定常であることが分かる。典型的な実際条件としては、1. 5秒未満のポンプ排気時間で十分であり、そして、プラズマを、プロセスステップが2～3秒の程度のときには、合計サイクル時間の65%に渡って維持し、また、プロセスステップが5秒を越える場合には、合計サイクル時間の80%に渡って維持することができる。適切な同期構成を図7に示す。注意すべきことは、蒸着ステップとエッティングステップのガスの混合の回避が望ましいので、エッティングをポンプ排気に先行させるということである。公知技術案（例えば、U.S.A.4985114）は、プラズマがオン状態とされる前に、長い時間に渡って、蒸着ガス流をオフ状態にするか或いは減少するよう提案している。これは、プラズマ出力が、合計サイクル時間の小さな部分においてのみオン状態になり、エッティング速度の著しい減少がもたらされることを意味する。出願人は、反応室を、少なくとも、一部のガス交換の間においてポンプ排気すべきであるが、圧力とガス流量の安定が維持されるように注意しなければならないと提案する。好ましくは、大応答速度の質量流量制御（立上り時間<100ms）及び自動圧力制御器（角度が<300mSに変化して、安定する）を使用する。

【0043】出願人は、蒸着ガスによってエッティングが弱められることのないようにするために、ポンプ排気時間が必要であることを明らかにした（図8参照）。しかしながら、ポンプ排気は、稼働中のプロセスの詳細によっては、エッティングステップ、或いはエッティング及び蒸着ステップの両方に先行させることができる。そしてまた、ポンプ排気は、（U.S.A.4985114に記載されている）微小荷量を減少し、そして下記の通り、高いアスペクト比エッティングに対しても有意義である。

【0044】変化させうるパラメータの多くは、図9(iii)に概略を示すように、“傾斜させる”ことができる。前記傾斜は、それらパラメータが、サイクル間ににおいて急激に変化するのではなく、サイクルごとに、振幅或いは周期が徐々に増加或いは減少することを意味している。ポンプ排気の場合、傾斜を、側壁ノッチ形成を下記に説明するように減少するか或いは除去しうるプロセスの開始時の混合を許容するように使用することができる。

【0045】典型的なプロセスパラメータは以下の通りである。

1. 蒸着ステップ

CH_4 ステップ時間：2～15秒；好ましくは4～6秒
 H_2 ステップ時間：2～15秒；好ましくは4～6秒
 コイルrf出力：600～1kW；好ましくは800W
 バイアスrf出力：高平均イオンエネルギーのケース：500W～300W
 :好ましくは100W
 低平均イオンエネルギーのケース：0W～30W
 :好ましくは10W
 圧力：2mTorr～50mTorr
 :好ましくは20mTorr

2. エッチングステップ

SF_6 ステップ時間：2～15秒；好ましくは4～6秒
 コイルrf出力：600～1kW；好ましくは800W
 バイアスrf出力：高平均イオンエネルギーのケース：
 50W～300W；好ましくは150W
 低平均イオンエネルギーのケース：
 0W～30W；好ましくは15W

圧力：2mTorr～50mTorr；好ましくは30mTorr

【0046】2. エッティング／蒸着の関係

出願人は、公知技術の手法は本質的に単純過ぎると結論づけた。というのは、ある特定なプロセスの間、条件を変化させることも、或いは異なった要求や異なったタイプの形成をも受け入れないからである。更に、公知技術は、深いエッティングの難題には取り組んでいない。

【0047】その様なわけで、引例WO-A-94114187が教えていることとは反対に、図2に示してあるように壁の表面粗さが大きく減少するように、エッティングステップを不働態ステップ或いは蒸着ステップに重ね合わせることは、しばしば有意義となると出願人は信じている。出願人はまた、以前から使用されている固定的な連続矩形波ステップは、驚くことに理想からはほど遠いものであると結論づけた。多くの場合、エッティング速度の減少が許容されているときは、ステージ間、特に重複が起きているステージ間では滑らかな遷移を利用することが望ましい。以上のようなわけで、好適な一構成は、エッティングガス及び蒸着ガスのガス流量の場合、2つの“波形”が位相外れ、好ましくは90°近い位相外れとなるように、時間と共に正弦的に変化させることである。側壁粗さは、事実上横方向エッティング成分の増大の現れであるため、前記側壁粗さは、エッティングの前記成分を制限することにより減少させることができる。望ましい効果は、次のいくつかの方法：不働態ステップとエッティングステップとの部分的に混合すること（重複）；エッティング（したがって、対応する不働態）時間を最小化すること；ウエーハ温度を低下させることによりエッティング生成物揮発度を減少させること；及び、例えば、添加したO、N、C、 CF_x 、 CH_x を有する SF_6 のような、エッティングガスへの不働態化要素の添加或いは、 CF_x 等に交換された SF_6 のような、エッティングガスを低反応性種を放出するガスの一つに交換す

ることとの内の一方法によって得ることができる。

【0048】出願人は、プロセス内の異なったステージにおける、エッティング及び蒸着レベルの変化が望ましいこともまた認めた。出願人は、第1サイクル或いは最初の数サイクルの間は、蒸着時間或いは蒸着速度を増加させるか、或いは、他の適切な手段を取ることによって、蒸着を増大させるべきであることを提案する。同様にまた或いは、エッティング速度或いは時間を減少せらる。

【0049】既に簡単に前述したように、形成物或いは細長溝が深くなればなるほど、かつ/或いは、アスペクト比が増大するにつれて、材料を蒸着することは次第に困難となってくる。ガス流量、反応室内圧力、プラズマパワー、バイアス出力、サイクル時間、基板エッティング／蒸着比率のうち、一つ以上のものの大きさを制御することによって、適当な側壁不働態化により良好な異方性エッティングを達成するのに適切な方法でシステムを調整できる。

【0050】これら及び関連する手法は、以下のように、エッティングプロファイルにおけるいくつかの問題を克服するために利用できる。

【0051】a. 側壁ノッチ形成

側壁“ノッチ形成”的問題は、露出したシリコン領域の大きさ（30%未満の低い露出領域の場合により酷い）に特に敏感であり、また、高シリコン平均エッティング速度においても同様に酷い。出願人は、その様なノッチ形式は、初期のエッティング／蒸着サイクルの間に、エッティング種の比較的高い濃度によって引き起こされると信じている。そのようなわけで、出願人によって採用された解決策は、第1サイクルの間に、不働態化を促進するか或いはエッティング種を消滅させるかのいずれかである。後者は、プロセス調整（一つ或いはそれ以上のパラメー

タを傾斜させる)によるか、或いは、Fエッチャントと反応するSi、Ti、W等のエッチング種を(化学反応により)消費する物質を反応室内に配置するかのいずれかの方法で達成できる。その様な化学的負荷は、当該消滅が最初の数エッチングステップにおいてのみに必要とされるだけのため、平均エッチング速度を減少させてしまうという欠点を有する。そのようなわけで、プロセス調整の解決策が有利であると判断される。

【0052】エッチング速度、プロファイル制御、選択性等の他のいずれの側面をも弱めたり或いは劣化させることなく、側壁ノッチ形成を減少/除去することが望ましい。出願人の研究によれば、“エッチング開始時点において、エッチング種の濃度を減少させる”手法は、一つまたは複数の各パラメータを図6に示されているように普通の前もって最適化したエッチング条件へと増加した後に引き続いて行われる下記のプロセス：

- a. フッ素掃気ガスの導入
- b. 低コイル出力
- c. 低エッチングサイクル時間(ステップ持続時間)
- d. 低エッチングガス流量
- e. 不働態サイクルの間の、関連する上記a～dパラメータの増加
- f. 上記の組合せ

を開始することによって、最良に制御できる。前記増加は、急激(それは、たとえば、a～fのパラメータのステップ変化を使用する)であるか或いは傾斜しているかのいずれかとすることができます。これら2手法の結果を公知技術の教えと比較しつつ以下に述べる。

【0053】シリコン細長溝エッチングを行っている間の(公知技術を直接適用することにより生じてくる)問題の本質を、模式的に図3に示し、また、図10及び図11のSEM(走査型電子顕微鏡写真)に示す。これらの図は、1.7μmの初期細長溝開口において、ノッチ幅が0.37μmまでである一方、CD損失が1.2μm(70%)であることを示す。そのようなCD損失の値は、大部分の用途において不適である。

【0054】しかしながら、ノッチ形成した側壁は、初期のエッチングプロセスサイクルの間にプロセスパラメータを変化させうる出願人の方法(例えば、a～f)を使用することにより補正されうる。もし、急激なステップをプロセスパラメータを変化させるために使用するなら、急激な遷移が側壁プロファイルに生成される。図12及び図13のSEMは、この事を、異なるプロセスパラメータに対して、図示するものである。図12において、プロセスパラメータの変化は、(8.5μmエッチング深さの後の)パラメータの変化点における、側壁プロファイルの急激な遷移にはっきりと示されている。

(側壁ノッチがないことに注意されたい。)図13は、もう一つのプロセスパラメータの急激/ステップ変化を示す。ここでは、側壁不働態は、最初の2μmに対し

て、明瞭なプロファイル(そして、ノッチ無しである)を生じるのに十分なだけ良質である。不十分な不働態化条件が適用された場合、それは、側壁角度の変化及びノッチの再出現によって特徴づけられる。

【0055】“傾斜づけ”パラメータ手法を使用することにより、いかなる急激な遷移をも生じさせることなく(図14のSEMを参照)、滑らかな側壁プロファイルを生成するのと同時に、ノッチを除去できる。この図は、傾斜無しの大アンダーカットプロセスに匹敵するエッチング速度を維持する一方、滑らかで明瞭なプロファイルを有しCD損失のない深さ22μmの細長溝エッチングを示している。この場合に使用したプロセス条件を図19Aに示す。

【0056】b. 深い大アスペクト比エッチング時のプロファイル制御

公知技術の教えは、大アスペクト比(>10:1)エッチングが要求されるものに限定されている。ここでは、比較的深いエッチング(>200μm)に関する制限条件と解決策について説明するが、その議論は、浅い大アスペクト比エッチングに対しても、そしてまた、たとえば0.5μm未満となるような大変低いCD値の場合にさえも、等しく適応される。

【0057】高アスペクト比エッチングを特徴づける基本機構の一つには、エッチング生成物及びエッチング(及び不働態)反応性前駆物質の拡散がある。不働態ステップにおけるこの種の輸送現象を調べた。その結果によれば、深い細長溝の底面への側壁不働態種の輸送は低圧の場合に改善される。ブレーキ出力の増加もまたこれを改善するものである；図15を参照。グラフは、圧力が減少し、また、rfバイアス出力が増加する時の、細長溝の底面付近での改善された不働態化を示している。このデータは、最初に200μm深さの細長溝をエッチングし、それから、不働態ステップだけを使用し、そして走査型電子顕微鏡により、深さによる側壁不働態の変化を測定することによって得られたものである。このことは、エッチング深さによる不働態の変化を確証し、そして、更に、最適なプロセス条件はエッチング深さと共に変化するという考え方を支持している。

【0058】公知技術を、その様な大アスペクト比のプロセスに対して適用する際の限界を、図16のSEMによって示す。注意すべきことは、この割合に大きな不働態/エッチング比の固定パラメータプロセスは、まだ初期側壁ノッチを生じないが、10μmCD、深さ230μmの細長溝のエッチングに対してこれを示すには、SEM拡大率は十分に高くはないということである。図15に示されている傾向から、望ましい高バイアスrf出力と低圧力の条件の下で運転することにより、プロファイルを幾分改善することができる。しかしながら、固定パラメータプロセスとして、高バイアス出力と低圧力の条件は、イオンエネルギーが増大すると共に、マスク選

択度を(>100:1から<20:1へと)著しく劣化させる。急激なバラメータ変化を使用する場合、図17のSEMに示してあるように、対応する急激な側壁変化が生じる。次のバラメータを傾斜化することによって、つまり、プラテン出力を増加、圧力を減少、そして、サイクル時間とガス流量とを増加させることによって、75:1を超える妥当な高い選択度を維持しつつ、好ましい結果が得られる(図18を参照)。ここで、SEMは深さ295μm、12μmCDの細長溝エッチング(25:1のアスペクト比)を示す。この場合のプロセス条件を、図19bに示す。

【0059】図20は、側壁ノッチを減少させるために、初期サイクルにおいて使用した蒸着ガスとエッティングガスの同期を示す。典型的な動作条件を図19aに与え、そして、それに関わるSEMを図14に示す。図21は、側壁ノッチ減少技術の手法(a)による掃気ガスの使用に関する同期を示す。破線は、代替例として、減少方向に傾斜した掃気ガス流量を示す。

【0060】図9iは、深い大アスペクト比の異方性エッティングを実現するための同期を示しているが、示されている傾斜化の手法は側壁ノッチの減少にも使用できる。図18に示す結果を得るために、図19bの条件を使用できる。

【0061】図9iに戻ると、以下のことが分かる:
1. 当該図は、平均圧力の傾斜を示す。サイクルが蒸着からエッティングに変化するそれぞれの場合に、圧力が低圧力から高圧力へと変化することに注意されたい。圧力の下向き傾斜は、エッティングと不働態の両サイクルにおける圧力減少をもたらす。

【0062】2. 当該図は、rfバイアス出力傾斜を示す。バイアスは、サイクルが蒸着からエッティングに変化するそれぞれの場合に、低バイアスから高バイアスへと変化することに注意されたい。これは、上記の圧力変化に同期している。バイアスの上向き傾斜は、この場合、蒸着ステップにのみ当てはまる。

【0063】3. 当該図は、rfバイアス出力傾斜のもう一つの例を示す。ここでもまた、バイアスは、圧力変化に同期して、サイクルが蒸着からエッティングに変化するそれぞれの場合に、低バイアスから高バイアスへと変化する。バイアスの上向き傾斜は、この場合、蒸着ステップとエッティングステップの両方に当てはまる。

【0064】4. 図9iiは、一般的なバラメータの傾斜を示している。これらの例は、傾斜しているサイクル時間とステップ時間をそれぞれ示すものである。

【0065】5. 当該図は、サイクル時間傾斜を示す。ここでは、バラメータ(ガス流量、圧力、rf出力等)の大きさが傾斜づけられていない。適用例によつては、これは、上記の場合の“大きさ”的傾斜づけに対する代替形態として使用できるであろう。

【0066】6. 当該図は、サイクル時間傾斜を示す。

ここでは、バラメータ(ガス流量、圧力、rf出力等)の大きさも傾斜づけられている。バラメータの傾斜は、大きさに関して増加或いは減少させることができ、減少させる場合、ゼロ或いは非ゼロの値まで減少させることができます。このことに注意されたい。

【0067】3. エッティングガス

適切ないずれのエッティングガスも使用できうるが、出願人は、ある特定なガス或いは混合物が有益でありうることを見つけだした。

【0068】たとえば、プロセス速度に影響するため、エッティング段階においてはいかなる不働態化ガスが含まれることも好ましくないことが引例WO-A-94114187の中に示唆されている。しかしながら、出願人は、この手法により、形成される側壁細長溝の質を大幅に改善することができると結論づけ、そして、O₂、N₂、C₂、炭化水素、ヒドローハロカーボン、及び/或いは、ハロカーボンのような不働態化ガスをエッティングガスに加えうることを提示する。同様に、そして同目的のために、エッティングガスの化学反応性を減少することが望ましく、そして、出願人は、例えば、C₁、B₂或いはI₂等のような、より大きな原子量のハロゲン化物と共にCF_xを使用することを提案する。しかしながら、XeF₂や他のエッティングガスを使用することもできる。

【0069】或いは、側壁粗さの度合いは、サイクル時間を制限することによってもまた減少させることができる。例えば、エッティングや蒸着のステップ時間を、7.5秒未満に、好ましくは、5秒未満に制限することが望ましいということが見出された。

【0070】4. ガリウム砒素と他の材料

以上の提案は、すべて、シリコンにおける細長溝形成についてである。出願人は、適切な不働態化により、ガリウム砒素や、さらにまた、他のエッティング可能な材料の異方性エッティングが達成できることを認めた。例えば、ガリウム砒素へのエッティングは、不働態化ガス或いはエッティング促進ガスを伴っているか、或いは、伴っていないC₁₂を使ってなしうることが提案できる。しかし、この手法は、一般に、上記に提案した炭素或いは炭化水素不働態を使った場合により大きな成功をもたらしうことが見出された。もし、従来通りのCF_x化学物質を使用するなら、エッティング妨害化合物が生成され、そして、それは表面粗さを増大するか或いはエッティングを制限するということになりうる。ガリウム砒素の場合、低圧力かつ高プラズマ密度反応室の使用が考えられるので、低温度が好ましいと考えられる。適切なエッティング化学物質はすでにこの明細書の前段に記載してあるとおりである。

【図面の簡単な説明】

【図1】半導体を処理するための反応室の概略図である。

【図2】公知技術の方法により形成された細長溝の概略

図である。

【図3】図2に示されている細長溝の開口部の拡大図である。

【図4】 H_2 に含まれるCH₄の割合に対するシリコンのエッティング速度を示すプロットである。

【図5】異なる平均イオンエネルギーに対して、 H_2 に含まれるCH₄の割合に対するステップカバレッジを示すプロットである。

【図6】ガスと図1の装置の運転パラメータとの間で可能な種々の同期を示すダイアグラムである。

【図7】図6に対する図式であるが、代替的な運転様式を示すものである。

【図8】分圧比に対するシリコンのエッティング速度を示すプロットである。

【図9】(i)は深い異方性プロファイル制御のためのパラメータ傾斜の概略的描写を示す。(ii)は(i)のより一般的な傾斜を示している。

【図10】公知技術に従って形成された細長溝の走査型電子顕微鏡写真がある。

【図11】図10の開口部の拡大図である。

【図12】プロセスパラメータに急激な変化が生じている出願人のプロセスにより形成された細長溝の対応する二つの走査型電子顕微鏡写真である。

【図13】プロセスパラメータに急激な変化が生じてい

る出願人のプロセスにより形成された細長溝の対応する二つの走査型電子顕微鏡写真である。

【図14】傾斜したパラメータが使用されている以外は、図12に対応している。

【図15】種々の反応室圧力におけるRFプラテン出力に対する蒸着速度を示すプロットである。

【図16】公知技術による高アスペクト比の細長溝の走査型電子顕微鏡写真を示す。

【図17】急激な変化を起させる出願人プロセスを使用した場合の図16に対応する走査型電子顕微鏡写真を示す。

【図18】傾斜した変化を使用して、出願人のプロセスにより形成された大アスペクト比細長溝の走査型電子顕微鏡写真である。

【図19】(a)は図14の走査型電子顕微鏡写真により示されている細長溝を形成するために設定されたプロセス条件を示している。(b)は、図18の走査型電子顕微鏡写真により示されている細長溝を形成するために設定されたプロセス条件を示している。

【図20】排気ガスを使用することによる図20に対する代替的な手法を示す図式である。

【符号の説明】

18...ガス導入口

19...ガス排出口